

PATENT ABSTRACTS OF JAPAN

Best Available Copy

(11)Publication number: 2004-265955

(43)Date of publication of application : 24.09.2004

(51)Int.Cl.

H01L 25/10

H01L 23/12

H01L 25/11

H01L 25/18

H05K 3/46

(21)Application number : 2003-049252

(71)Applicant : IBIDEN CO LTD

(22)Date of filing : 26.02.2003

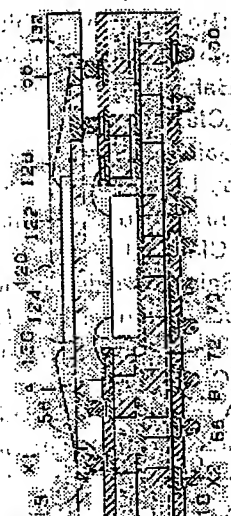
(72)Inventor : KARIYA TAKASHI
TSUDA AKIYOSHI

(54) MULTILAYER PRINTED CIRCUIT BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a multilayer printed wiring board which can be easily multilayered structurally and can tolerate the modification of specification, e.g. design.

SOLUTION: The multilayer printed wiring board 100 consisting of single-sided circuit boards A and B and containing an IC chip 70 are arranged with a BGA 56 on the surface and rear surface, respectively. The multilayer printed wiring board 100 can be connected with a printed wiring board through the BGA 56 on the rear surface while mounting an IC module 120 through the BGA 56 on the surface. Since the degree of freedom is increased in the form of the IC module being mounted, various IC modules can be mounted.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]

In the multilayer printed wiring board which electronic parts are mounted and has an external terminal, The multilayer printed wiring board characterized by having arranged said external terminal to both sides.

[Claim 2]

In the multilayer printed wiring board which electronic parts are mounted and has an external terminal, Zagury who holds electronic parts in mounting area is prepared,

The multilayer printed wiring board characterized by having arranged said external terminal to both sides.

[Claim 3]

The multilayer printed wiring board according to claim 1 or 2 characterized by having removed from directly under [of the external terminal of said one side], and having arranged the external terminal of said opposite side.

[Claim 4]

The Bahia hall which said external terminal is connected to the stack-like Bahia hall, and is connected to an external terminal is a multilayer printed wiring board given in any 1 of claims 1-3 characterized by shifting the Bahia hall and center line of an adjacent layer, and being arranged.

[Claim 5]

Said multilayer printed wiring board is a multilayer printed wiring board given in any 1 of claims 1-4 characterized by being formed by carrying out the laminating of one side or the double-sided circuit board which the non-through tube formed in the insulating material is filled up with a conductive ingredient, and changes.

[Claim 6]

Said one side or the double-sided circuit board is a multilayer printed wiring board of claim 5 characterized by connecting mutually through the conductive bump formed on the conductive ingredient with which the non-through tube was filled up.

[Claim 7]

A multilayer printed wiring board given in any 1 of claims 1-6 characterized by forming beer in the mounting field of said electronic parts, and forming the metal layer which has a heat dissipation function into the approaching part in it.

[Claim 8]

Said external terminal is a multilayer printed wiring board given in any 1 of claims 1-6 characterized by being BGA.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

This invention relates to the multilayer printed wiring board which can multilayer IC chip and is not especially influenced of stress etc. about the multilayer printed wiring board which mounts electronic parts, such as IC chip.

[0002]

[Description of the Prior Art]

It has a conductor layer on one side, and the technique which multilayered the insulating substrate which consists of IVH (inner BAIA hole) structure is proposed (for example, JP,10-13028,A etc.). They connect electrically by

connecting the Bahia hall of the conductor layer of one insulating substrate, and the insulating substrate of another side. the conductor of an outer layer — the function is demonstrated by making electrical parts, such as IC chip and a capacitor, mount timely on a circuit.

[0003]

[Patent reference 1]

JP,10-13028,A

[0004]

[Problem(s) to be Solved by the Invention]

Thin-film-izing of the substrate which mounted IC chip, and advanced features are demanded. As the reason, the case of electronic products, such as a cellular phone, a camera, and a personal computer, is to have thin-film-ized [the miniaturization and]. In order to store in those cases, all ingredients and components are made thin and it must be made not to reduce a function. Therefore, IC chip is considered by multilayering and carrying out a laminating (three-dimensions mounting). The laminating is carried out by mounting a direct IC chip on IC chip, carrying out die bonding and mounting an upper IC chip on multilayering, i.e., a lower layer IC chip, as the technique. Each IC chip which carried out the laminating is connected through wire bonding. Thereby, a miniaturization is realizable with densification under the same area.

[0005]

However, what carried out the laminating of the IC chip cannot be repaired. Moreover, since connection is taken by wire bonding after mounting, only after taking connection by wire bonding, it can only perform inspecting IC chip or a substrate. Therefore, if there is at least one fault in IC chip, it will be said that the mounted substrate itself cannot be used.

[0006]

Furthermore, a circuit cannot be formed between the lower part of the circuit which carried out the laminating, or IC chip, and wiring cannot be taken about. Therefore, a wire length will become long with the increment in the number of clocks etc. In the case of a design change or specification modification, mounting formation must be considered timely.

[0007]

It can multilayer structurally and easily and the place which it is made in order that this invention may solve the technical problem mentioned above, and is made into the purpose is to offer the multilayer printed wiring board which can be equal to specification modification of a design etc.

[0008]

[Means for Solving the Problem]

As a result of an artificer's inquiring wholeheartedly, in order to solve the above-mentioned technical problem, electronic parts, such as IC chip, were mounted and the structure which arranges an external terminal to both sides was thought out in the multilayer printed wiring board which has an external terminal.

[0009]

Since it has the pad which connects an external terminal from both sides of this multilayer printed wiring board, it becomes possible to connect another printed wired board etc. to the both sides. For example, where other IC modules are mounted through a surface external terminal, it is connectable with a printed wired board through an external terminal on the back. Moreover, the degree of freedom of the gestalt of IC module mounted increases. It is desirable to arrange the external terminal also directly under IC chip especially. The degree of freedom which wiring pulls out increases by that cause, and it becomes the structure which may be able to perform carrying out multilayering of IC chip, and a laminating further. The miniaturization of a substrate is made in order to lessen wiring area.

[0010]

Moreover, if another view is carried out, two kinds such as the circuit (PGK circuit) which is made to connect the circuit formed in this multilayer printed wiring board to IC chip mounted on this substrate, and is pulled out outside, and the circuit (INTAPOZA circuit) which is connected to IC module and pulled out through this multilayer printed wiring board outside are intermingled. In order are efficient timely and to connect them, make it more desirable to form an external terminal in both sides. Two duties of INTAPOZA and a PKG substrate can be achieved with one substrate. Therefore, a miniaturization and advanced features can be carried out. Moreover, even if a multilayer printed wiring board or another substrate causes a defect in this case, it can inspect, and it can respond, before attaching another substrate (IC module) in a multilayer printed wiring board. It can be easily adapted even if it carries out the design change (for example, the case of having changed capacity is meant if it is memory) of another substrate (IC module).

[0011]

Moreover, electronic parts, such as IC chip, are mounted, and this invention has Zagury in mounting area in the multilayer printed wiring board which has an external terminal, and makes it a technical feature to arrange said external terminal to both sides. Here, an external terminal means the terminal which can be connected to the

exterior, such as BGA, PGA, and a bump (metal which also spreads solder).

[0012]

Since Zagury is formed, thickness (thickness in the condition of having mounted IC chip in the multilayer printed wiring board) in the mounting area can be made thin. Furthermore, even if it multilayers and mounts IC, the total thickness of the substrate including closure resin itself can also be made thin.

[0013]

Moreover, according to the above-mentioned double-sided structure, the printed wired board which mounted IC chip in one side of this multilayer printed wiring board can be connected, and the substrate which mounted electronic parts other than IC chips, such as a capacitor, can be connected to the opposite side, for example. So to speak, an INTAPOZA-duty can also be achieved. When connecting a printed wired board including IC chip etc. to both sides, it can become stack structure (three-dimensions mounting). It becomes possible to form an external terminal also in the lower field of IC chip especially.

[0014]

As shown in drawing 13, it is desirable for the external terminal 56 of an opposite side not to lap directly under the external terminal 56. Here, (A1), (B1), and (C1) expand and show the external terminal in drawing 2, and (A2), (B-2), and (C2) are the perspective views of (A1), (B1), and an inner (C1) external terminal. In this case, it means that the field where the external terminal of an opposite side touches does not lap directly under the field where the external terminal touches. It prevents that this is direct transmitted in the stress generated for the external terminal, location gap of a terminal and a poor contact are prevented, and electric connection or dependability are not reduced. First of all, since external terminals are mainly BGA (ball grid array), a bump, etc., compared with external terminals, such as a conductive bump, its connection place is small, and stress tends to concentrate them. Moreover, although stress will occur and the stress will get across to the external terminal of an opposite side according to an external factor, like heat is added (for example, under a thermo-cycle condition) if the coefficient of thermal expansion of an ingredient with other printed wired boards etc. differs, stress is eased in a substrate or an external terminal. Therefore, it is not influenced of the external terminal on an opposite side. Conversely, if stress is transmitted direct, in the connection of the external terminal of an opposite side, it will separate and faults, such as a crack and a poor contact with an external substrate, will be caused.

Moreover, it is desirable for the external terminal of an opposite side not to lap directly under the putt field (for a land to be included) of the external terminal of one side and an external terminal. When the lower part of the pad of an external terminal is filled up with conductive ingredients, such as plating and a conductive paste, effect of stress is certainly influenced and carried out up to a putt field by being influenced of the stress, removing the field, and arranging the connection field of the external terminal of an opposite side.

[0015]

It is desirable to form beer in the mounting field of electronic parts, and to form the metal layer which has a heat dissipation function into the approaching part in it. It is desirable to prepare a metal layer directly under IC chip, and to connect an external terminal to this metal layer through beer (non-through tube) especially. By making it the configuration, heat can be made to be able to transmit to the printed wired board side connected to the external terminal efficiently, and heat can be radiated.

[0016]

As shown in drawing 13, as for the Bahia hall which an external terminal is connected to the stack-like Bahia hall, and is connected to an external terminal, it is desirable to shift the Bahia hall and center line (X1, X2) of an adjacent layer, and to be arranged.

If an external terminal is formed in right above [stack structure], the stress which generated the external terminal as a reason will be transmitted in a direct substrate. Therefore, it is influenced of the stress to the inside of a substrate, or the external terminal of an opposite side. If it is in a substrate, connection of stack beer will be checked, and a faulty connection will be caused if it is the external terminal of an opposite side. However, if it shifts from the center line of the Bahia hall and the Bahia hall is made to form in the shape of a stack, transfer of the stress is buffered. Effect is generated when filled up with plating, a conductive paste, etc. in the Bahia hall. It will be in the condition that stress tends to be transmitted because you make it filled up with a conductive ingredient.

[0017]

As for the multilayer printed wiring board of this invention, it is optimal to carry out the laminating of one side or the double-sided circuit board which the non-through tube formed in the insulating material is filled up with a conductive ingredient, and changes more than two-layer, and to constitute it. As the manufacture approach, it can carry out even with the SABUTORA method and an additive process (the build up method ****). However, by the SABUTORA method, if it came to have arranged the external terminal according to the structure of having the through hole which penetrates more than two-layer, stress cannot be buffered. So, it may be inapplicable. Moreover, if it is the build up method and the resin insulating layer which a core does not contain is used, since it is difficult to stabilize the configuration in a resin insulating material, it may be inapplicable to form the Zagury

part.

[0018]

It is desirable to use an one side circuit. As for the melting point of the conductive bump who connects one side or the double-sided circuit board, it is desirable that it is higher than the melting point of the adhesives (for example, solder for adhesion of BGA) of an external terminal. Thereby, a conductive bump's dissolution itself can be prevented. Conversely, when [that] a conductive bump's melting point is lower than the melting point of the adhesives of an external terminal, in case an external terminal is mounted, since a conductive bump dissolves in most part, at the temperature, it will flow within a substrate. If the flowing range is large, the next conductor layer and short-circuit will be caused by considering a conductive bump as a cause. On the other hand, if the flowing range is small, stress will occur between substrates. Location gap will be caused if the stress is not eased. Therefore, a conductive bump's thickness will become thin and adhesion reinforcement and an electrical property will fall.

[0019]

As for especially the melting point, what is 350 degrees C or less above about 200 degrees C is desirable. the independent conductor which causes the dissolution, diffusion, etc. and is next in case IC chip is mounted, since the difference of the melting point with surface solder becomes low small at less than 200 degrees C — it may connect with a circuit too hastily. If it exceeds 350 degrees C, the metal itself will become hard too much and connectability will fall. therefore, a conductor — junction in a circuit becomes impossible. Moreover, if it is going to dissolve at the temperature, since the resin which is an insulating material will dissolve, the insulation in an insulating material will fall.

Furthermore, a 220 degrees C — 320 degrees C range thing is more desirable. If it is the range, in reliability trials, such as thermo-cycle conditioning, a conductive bump will not be spread under high-humidity/temperature. Metals, such as solder, such as Sn/Pb, Sn/Ag, Sn/Cu, Sn/Zn, Sn/Sb, and Sn/Ag/Cu, and tin, lead, can be used as a conductive bump. It is desirable for the melting point to be 200 degrees C or more 350 degrees C or less at this time.

[0020]

A flow of the metal itself can be suppressed by blending Cu, Zn, or Sb in the above-mentioned conductive bump. That is, Cu alloy, Zn alloy, or Sb alloy is formed in the once re-solidified metal. It prevents that the alloy dissolves in response to the effect of the heat at the time of mounting of IC chip etc., and faults, such as diffusion of a conductive metal, are suppressed. Therefore, short-circuiting can be lost and an electrical property can be raised.

[0021]

Moreover, even if it makes it leave it especially under the time of a temperature up (low-temperature => elevated temperature), or an elevated temperature at the time of reliability trials, such as a thermo-cycle trial and elevated-temperature neglect, it is controlled that solidification of a conductive metal remelts. Therefore, a reliability trial can also be raised.

Moreover, the adhesion reinforcement of the conductor layer after a reliability trial and the Bahia hall does not fall. Therefore, since it is lost that an electrical property also falls, an electrical property can be raised. Furthermore, with Cu, Zn, or the conductive metal of Sb content, the fluidity of the metal itself is suppressed. Therefore, it becomes possible to obtain the multilayer printed wiring board which could make the Bahia hall pitch still narrower and carried out densification.

[0022]

(Cu content metal bump)

Diffusion of the metal itself can be suppressed by blending Cu in the conductive bump. That is, Cu alloy is formed in a conductive bump's once solidified metal. Even if the alloy is influenced of various heat histories (for example, annealing treatment, plating processing, IC chip mounting process, etc.) concerning a substrate, the metal dissolution is prevented, and faults, such as diffusion of a conductive bump metal, are suppressed. Therefore, resistance change, and short one and electric performance degradation can be suppressed, and an electrical property can be raised.

[0023]

Moreover, remelting and diffusion of the neglect under an elevated temperature or the conductive bump who solidified even if it carried out the temperature up (low-temperature => elevated temperature) are made to control especially at the time of reliability trials, such as elevated-temperature neglect and a thermo-cycle trial. furthermore, a conductive bump and a conductor — since permeation of the moisture to the interface of a part is made to control, it is lost that the expansion on the basis of the moisture in an interface and contraction occur. Since the partial electric insulating condition (this moisture means making a clearance form) in near an interface is not made, electric connectability is secured. Therefore, a reliability trial can also be raised.

Furthermore, between the conductor layer after a reliability trial, and the Bahia hall, since moisture does not permeate, adhesion reinforcement does not fall. When moisture permeated and a temperature rise is carried out, the moisture may serve as an origin and may swell. Therefore, a clearance will be formed, or a crack etc. will

occur and adhesion will fall. Since the generating does not exist, the fall on the strength by the fall of contact nature can be lost, and dependability can be raised.

Furthermore with the conductive metal of Cu content, the diffusibility of the metal itself is suppressed. Therefore, since the Bahia hall pitch can be made still narrower, it is possible to obtain the multilayer printed wiring board which carried out densification.

[0024]

the solidified conductive metal and a conductor — the alloy layer which consists of a Cu-conductivity metal is formed in the interface with a circuit. Formation of the alloy film became a protective coat, and a flow of the metal of the part of others of this conductive metal is prevented. moreover, formation of the film — like the heat history or a heat process — etc. — ***** it is influenced of heat — formation of new Cu alloy, especially a conductor — since formation in a circuit is prevented, a flow of a conductive metal can be suppressed.

[0025]

It is desirable to use any one of Sn-Pb-Cu, Sn/Cu, Sn/Ag/Cu, Sn/Ag/In/Cu, and the Sn/Cu/Zn for the above-mentioned conductive bump. Since Cu is blended with these, the above-mentioned operation and effectiveness can be acquired by using a conductive bump.

[0026]

Moreover, since it becomes the factor which worsens an environment and the limit to use is carried out, as for the metallic material using lead, it is desirable to use the metallic material which does not use lead. However, if Cu is blended even if it is the presentation of solder other than this, it can use. It is desirable for the compounding ratio of Cu in the above-mentioned conductive bump to be 0.1 - 7wt%.

[0027]

0. Since there is little formation of Cu alloy after solidifying that it is less than [1wt%], when it remelts, a conductive bump's flow is not suppressed. Therefore, it is easy to generate connection in another adjacent conductor layer. moreover, a conductive metal and a conductor — in the interface of a circuit, the part in which Cu alloy film is not formed by the part will occur. The dissolution of a conductive metal and diffusion will occur from the Cu alloy film agenesis part. If 7wt(s)% is exceeded, the melting point becomes high, and even if it applies heat, it will be hard coming to dissolve. Therefore, the conductive bump herself will become hard. the time of contacting a conductor layer and the Bahia hall — the — since it becomes hard — a conductor — in a part, since a crack is generated in not contacting or a conductor, electrical connection nature and adhesion may fall

[0028]

If it is the above-mentioned range, the fluidity in a conductive bump can be suppressed, Cu alloy can be made to be able to form appropriately, and adhesion with a conductor can also be secured.

Furthermore, adhesion reinforcement of one with desirable the compounding ratio of Cu in a conductive bump being 0.5 - 5wt% can increase most. moreover, what is moderate also in degree of hardness — it is — a conductor — since it can spread in homogeneity in between, electrical connection nature is also raised. It cannot be based on the classes (plating, conductive pastes, those complex, etc.) of conductive metal which filled the Bahia hall which furthermore has the conductive bump, but adhesion can be raised.

[0029]

(Zn content metal bump)

Diffusion of the metal itself can be suppressed by blending Zn in the conductive bump. That is, Zn alloy is formed in a conductive bump's once solidified metal. Even if the alloy is influenced of various heat histories (for example, annealing treatment, plating processing, IC chip mounting process, etc.) concerning a substrate, the metal dissolution is prevented, and faults, such as diffusion of a conductive bump metal, are suppressed. Therefore, resistance change, and short one and electric performance degradation can be suppressed, and an electrical property can be raised.

Moreover, at the time of reliability trials, such as elevated-temperature neglect and a thermo-cycle trial, the neglect under an elevated temperature or a conductive bump's remelting solidified even if it carried out the temperature up (low-temperature => elevated temperature), and diffusion are made to control especially, and it is *****

furthermore, a conductive bump and a conductor — Zn or Zn alloy layer to an interface of a part — a conductor — permeation of the metal of a circuit etc. is controlled. That is, Zn layer has achieved the duty of a barrier layer. Formation of the dissimilar material in the interface forms that from which the melting point and thermal expansion differ as compared with the part of others [part / the]. Therefore, since the expansion on the basis of the dissimilar material and contraction occur and the partial stress in near an interface occurs, insulation is not secured. Therefore, dependability will also fall.

Furthermore, between the conductor layer after a reliability trial, and the Bahia hall, since moisture does not permeate, adhesion reinforcement does not fall. When moisture permeated and a temperature rise is carried out, the moisture may serve as an origin and may swell. Therefore, a clearance will be formed, or a crack etc. will occur and adhesion will fall. Since the generating does not exist, the fall on the strength by contact nature fall can

be lost, and dependability can be raised.

Furthermore with the conductive metal of Zn content, the diffusibility of the metal itself is suppressed. It is because the melting point tends to become high. Therefore, it is possible to obtain the multilayer printed wiring board which could make the Bahia hall pitch still narrower and carried out densification.

[0030]

the solidified conductive metal and a conductor — the alloy layer which consists of a Zn-conductivity metal is formed in the interface with a circuit. Formation of the alloy film serves as a protective coat, and a flow of the metal of the part of others of this conductive metal is prevented. moreover, formation of the film — like the heat history or a heat process — etc. — ***** it is influenced of heat — formation of new Zn alloy, especially a conductor — since formation in a circuit is prevented, a flow of a conductive metal can be suppressed.

[0031]

It is desirable to use any one of Sn/Zn, Sn/Ag/Zn, and the Sn/Cu/Zn for the above-mentioned conductive bump. Since Zn is blended with these, the above-mentioned operation and effectiveness are acquired by using a conductive bump.

Moreover, since it becomes the factor which worsens an environment and the limit to use is carried out, as for the metallic material using lead, it is desirable to use the metallic material which does not use lead. However, if Zn is blended even if it is the presentation of solder other than this, it can use.

[0032]

It is desirable for the compounding ratio of Zn in the above-mentioned conductive bump to be 0.1 – 10wt%. 0. Since there is little formation of Zn alloy after solidifying that it is less than [1wt%], when it remelts, a conductive bump's flow is not suppressed. Therefore, it is easy to generate connection in another adjacent conductor layer. moreover, a conductive metal and a conductor — in the interface of a circuit, the part in which Zn alloy film is not formed by the part will occur. The dissolution of a conductive metal and diffusion will occur from the Zn alloy film agensis part.

If 10wt(s)% is exceeded, the melting point becomes high, and even if it applies heat, it will be hard coming to dissolve. Therefore, the conductive bump herself will become hard. the time of contacting a conductor layer and the Bahia hall — the — since it becomes hard — a conductor — in a part, since a crack is generated in not contacting or a conductor, electrical connection nature and adhesion may fall

If it is the above-mentioned range, the fluidity in a conductive bump can be suppressed and adhesion with a conductor can also be secured. Furthermore, adhesion reinforcement of one with desirable the compounding ratio of Zn in a conductive bump being 0.5 – 9wt% can increase most. moreover, what is moderate also in degree of hardness — it is — a conductor — since it can spread in homogeneity in between, electrical connection nature can also be raised. It cannot be based on the classes (plating, conductive pastes, those complex, etc.) of conductive metal which filled the Bahia hall which furthermore has the conductive bump, but adhesion can be raised.

[0033]

Moreover, the thing containing antimony may be used. In that case, the same duty as the time of antimony blending zinc is achieved. That is, antimony should achieve the duty of a barrier layer. Formation of an alloy layer with copper is checked. As for the compounding ratio of antimony, it is desirable that it is 0.1 – 10%. 0. Since there is little formation of the regulus metal after solidifying that it is less than [1wt%], when it remelts, it cannot suppress that a conductive bump flows. Therefore, it is easy to generate connection with another adjacent conductor layer. moreover, a conductive metal and a conductor — in the interface of a circuit, the part in which the regulus metal film is not formed by the part will occur. The dissolution of a conductive metal and diffusion will occur from the regulus metal film agensis part.

If 10wt(s)% is exceeded, the melting point becomes high, and even if it applies heat, it will be hard coming to dissolve. Therefore, the conductive bump herself will become hard. the time of contacting a conductor layer and the Bahia hall — the — since it becomes hard — a conductor — in a part, since a crack is generated in not contacting or a conductor, electrical connection nature and adhesion may fall If it is the above-mentioned range, the fluidity in a conductive bump can be suppressed and adhesion with a conductor can also be secured.

[0034]

The soldering paste generally applied, such as Sn/Pb, Sn/Ag, and Sn/Ag/Cu, or a conductive paste may be used besides it.

[0035]

(Outline explanation of the one side circuit board)

As for the one side circuit board as a base unit which constitutes the multilayer printed wiring board concerning this invention, it is desirable to use the hard resin base material formed from the resin ingredient hardened completely as an insulating base material. adoption of such a resin ingredient — a resin base material top — a conductor — since fluctuation of the final thickness of the insulating base material by press ** is lost in case the copper foil for forming a circuit is made to stick by pressure by hot press, a location gap of the Bahia hall is

suppressed to the minimum, and the diameter of a beer land can be made small. Therefore, a wiring pitch can be made small and a wiring consistency can be raised. Moreover, since the thickness of a base material can be substantially kept constant, in forming opening for restoration Bahia hall formation which is mentioned later by laser beam machining, a setup of the laser radiation condition becomes easy.

[0036]

It is desirable that the hard base material chosen from a glass fabric epoxy resin base material, a glass fabric bismaleimide triazine resin base material, a glass fabric polyphenylene ether resin base material, an aramid nonwoven fabric-epoxy resin base material, and an aramid nonwoven fabric-polyimide resin base material is used as such an insulating resin base material, and a glass fabric epoxy resin base material is the most desirable. Besides it, thermosetting resin, such as polyimide, those complex, a photopolymer, and a photo-setting resin may be used for thermoplastics.

[0037]

Moreover, the thickness of the above-mentioned insulating base material has desirable 20-600 micrometers. The reason is that the dependability over electric insulation becomes low while reinforcement falls and handling becomes difficult by the thickness of less than 20 micrometers. Moreover, it is because the configuration holdout at the time of making Zagury form may fall. If it exceeds 600 micrometers, while detailed opening for the Bahia hall formation will come to be hard, it is because the substrate itself becomes thick.

[0038]

the conductor layer formed in one side of the above-mentioned insulating base material, or a conductor — a circuit sticks copper foil through resin adhesives suitable on an insulating base material, and is formed by carrying out etching processing of the copper foil, respectively.

[0039]

namely, the thing which thickness does for the hot press of the above-mentioned conductor layer on an insulating base material through the resin adhesives layer which had the semi-hardening condition the copper foil which is 5-50 micrometers held — forming — moreover, a conductor — a circuit After carrying out hot press of the copper foil, [whether a photosensitive dry film is stuck on a copper-foil face, and] After applying a liquefied photosensitivity resist, it is desirable to lay the mask which has a predetermined circuit pattern, to form a plating-resist layer exposure and by carrying out a development, and to be formed by carrying out etching processing of the copper foil of an etching-resist agenesis part after that.

[0040]

a conductor — after making a circuit form, opening is made to form by the router, laser, punching, etc. When it is made the substrate which is a piece of an individual as magnitude of the opening, it is desirable that it is 10 - 70% to the area of a substrate. At less than 10%, since Zagury's formation field is small, the merit to form becomes small. If it exceeds 70%, since the field which cannot maintain the reinforcement which can be set [press] and an external terminal forms will become small, it will become the factor to which IC chip to mount is restricted.

[0041]

Since copper foil can be firmly pasted up to an insulating base material by performing hot press to the insulating base material top of the above-mentioned copper foil under suitable temperature and welding pressure, being more preferably carried out to the bottom of reduced pressure, and hardening only the resin adhesives layer of a semi-hardening condition, production time is shortened compared with the circuit board using the conventional prepreg.

It is more desirable to carry out by using a protection film, in order to protect the Zagury part and to prevent a flow of the adhesives in that interface part, when Zagury is formed at this time.

[0042]

in addition, at least one sort which replaces with pasting of the copper foil to an insulating such base material top, adopts the one side copper clad laminate by which copper foil was beforehand stuck on the insulating base material, and is chosen from the water solution of a sulfuric-acid-hydrogen peroxide, persulfate, a cupric chloride, and a ferric chloride in the one side copper clad laminate — etching processing — carrying out — a conductor — a circuit can also be formed.

the above — a conductor — the front face corresponding to each Bahia hall of a circuit — a conductor — it is desirable that the land (pad) as a part of circuit is formed in the range the aperture of whose is 50-250 micrometers.

When carrying out the laminating of the Bahia hall by the stack, make it moreover, more desirable to shift and form from the center line of the Bahia hall. Thereby, the stress transmitted by stack structure can be buffered.

[0043]

the above — a conductor — it is desirable to form a roughening layer in the circuit pattern front face of a circuit, to improve adhesion with the adhesives layer which joins both the circuit boards, and to prevent generating of exfoliation (delamination).

as a roughening art — for example, software etching processing and melanism (oxidization) — 1 reduction

processing, formation of the needlelike alloy plating (the product made from the Ebara YUJI light: trade name INTAPURETO) which consists of copper-nickel phosphorus, and the trade name made from MEKKU "MEKKU dirty bond" — there is surface roughening by the etching reagent.

[0044]

such a conductor — the conductor from the front face of an insulating resin base material in which the circuit was formed, and the front face of the opposite side — as for opening for the Bahia hall formation formed so that a circuit may be arrived at, it is desirable that 0.5 – 100mJ and pulse width are formed for pulse energy for 1 to 100 microseconds of the carbon dioxide gas laser by which pulse separation are irradiated in 0.5ms or more, and a shots per hour is irradiated on condition that 3–50, and, as for the diameter of opening, it is desirable that it is the range of 50–250 micrometers.

The reason is because connection dependability becomes low, and is because densification will become difficult if it exceeds 250 micrometers while it stops being able to fill up opening with the conductive matter in less than 50 micrometers easily.

[0045]

before the opening formation by such carbon dioxide gas laser — the conductor of an insulating base material — it is desirable to make a resin film adhere to a circuit forming face and the field of the opposite side, and to perform laser radiation from on the resin film.

[0046]

as the protective mask at the time of this resin film carrying out DESUMIA processing of the inside of opening for the Bahia hall formation, and being filled up with metal plating by electrolysis plating processing in opening after [that] carrying out DESUMIA processing — functioning — moreover, right above [of the metal plating layer of the Bahia hall] — the letter of a projection — it functions as a mask for printing for forming a conductor (conductive bump).

[0047]

As for the above-mentioned resin film, it is desirable to be formed from the PET film whose thickness of the film itself the thickness of for example, a binder layer is 1–20 micrometers, and is 10–50 micrometers.

the letter of a projection which mentions the reason later depending on the thickness of a PET film — since the height of a conductor is decided — the thickness of less than 10 micrometers — the letter of a projection — the thickness by which the conductor was too low with thickness, tended to become a faulty connection, and exceeded 50 micrometers conversely — a connection interface — the letter of a projection — it is because a conductor spreads too much, so formation of a fine pattern cannot be performed.

[0048]

In order to be filled up with the conductive matter and to form the Bahia hall in the above-mentioned opening for the Bahia hall formation, plating restoration and conductive paste restoration are desirable.

Although restoration of a conductive paste is suitable in order to make it simple like a packer, to reduce a manufacturing cost and to raise the yield, depending on the presentation ratios in a paste (a conductive metal, resin, curing agent, etc.), hardening contraction may become large too much. In respect of the configuration and connection dependability when being filled up rather than it, plating restoration is desirable.

[0049]

Although either electrolysis plating processing or nonelectrolytic plating processing can perform the above-mentioned plating restoration, metal plating, such as the metal plating formed of electrolysis plating processing, for example, tin, silver, solder, copper/tin, and copper/silver, is desirable, and electrolytic copper plating is the optimal especially.

[0050]

When filled up by electrolysis plating processing, it is in the condition of having made the protection film adhering to the copper foil pasting side (conductor circuit forming face) of the above-mentioned insulating base material beforehand, and electrolysis plating is performed by making into a plating bar the copper foil formed in the insulating base material. Since this copper foil (metal layer) continues throughout one front face of an insulating base material and is formed, current density becomes uniform and it can fill up opening for the Bahia hall formation with uniform height with electrolysis plating.

Here, it is good to carry out activation of the front face of the metal layer in a non-through tube from an acid etc. before electrolysis plating processing.

[0051]

Moreover, after carrying out electrolysis plating, it is desirable for belt sander polish, buffing, etc. to remove the electrolysis plating (metal) which rose, and to carry out flattening from an opening edge.

[0052]

Furthermore, by the approach filled up with a conductive paste instead of, electrolysis plating processing, or nonelectrolytic plating processing of restoration of the conductive matter by plating processing, it can be filled up with a part of opening, and can also carry out by filling up a residual part with conductive paste.

The conductive paste which consists of at least one or more sorts of metal particles chosen from copper, tin, gold, silver, nickel, and various solder as the above-mentioned conductive paste can be used.

[0053]

Moreover, as the above-mentioned metal particles, what coated the dissimilar metal on the surface of metal particles can be used. The metal particles which covered the noble metals specifically chosen as a copper grain child's front face from gold and silver can be used.

[0054]

In addition, as a conductive paste, the organic system conductivity paste which added thermosetting resin, such as an epoxy resin, and polyphenylene sulfide (PPS) resin to metal particles is desirable.

[0055]

Since the aperture is a diameter of detailed which is 20-150 micrometers and air bubbles tend to remain when filled up with conductive paste, opening formed of the above-mentioned laser beam machining has the practical restoration by electrolysis plating.

[0056]

The Bahia hall formed in the one side circuit board mentioned above The arrangement consistency is the largest about the one side circuit board by which the laminating was carried out outside that an LSI chip etc. should be carried. The distance between Bahia and the hall formed in each circuit board by which a laminating is formed namely, carried out so that it may become the smallest about other outside one side circuit boards in order to connect with a mother board Being formed so that it may become large is desirable as it goes to the circuit board of the side connected to a mother board from the circuit board of the side which carries an LSI chip etc., and according to such a configuration, the leading-about nature of wiring improves.

[0057]

the one side circuit board which serves as a base unit by which a laminating is carried out when manufacturing the multilayer printed wiring board by this invention — the Bahia hall top — the letter of a projection — it is desirable to prepare a conductor, i.e., a conductive bump, and to constitute so that electrical installation with other one side circuit boards may be secured.

As for this conductive bump, it is desirable to be formed by being filled up with plating restoration or a conductive paste in opening of the protection film formed of laser radiation.

[0058]

Although either electrolysis plating processing or nonelectrolytic plating processing can perform the above-mentioned plating restoration, electrolysis plating processing is desirable.

As electrolysis plating, although low melting point metals, such as copper, gold, nickel, tin, and various solder, can be used, tinning or solder plating is the optimal.

[0059]

As the above-mentioned conductive bump's height, the range of 3-60 micrometers is desirable. This reason is that it will spread in a longitudinal direction and will become a short cause when resistance becomes high and a bump is formed if dispersion in a bump's height cannot be permitted and 60 micrometers is exceeded according to deformation of a bump in less than 3 micrometers.

[0060]

When forming the above-mentioned conductive bump by restoration of a conductive paste, dispersion in the height of the electrolysis plating which forms the Bahia hall is corrected by adjusting the amount of conductive pastes with which it fills up, and can arrange many conductive bumps' height.

As for the bump who consists of this conductive paste, it is desirable that it is in a semi-hardening condition. A conductive paste is hard also in the state of semi-hardening, and it is because the organic adhesives layer softened at the time of a heat press can be made to penetrate. Moreover, it is because it not only can make flow resistance low, but it deforms at the time of a heat press, a touch area increases and dispersion in a bump's height can be corrected.

[0061]

In addition, a conductive bump can be formed with the approach, no electrolyzing, or electrolysis plating immersed in solder melting liquid besides the approach of screen-stenciling a conductive paste using the metal mask with which it was prepared in opening in a predetermined location, for example, and the approach of printing the soldering paste which is a low melting point metal.

It is good to use what blended Cu(s), such as a Sn-Ag system, Sn-Sb system solder, Sn-Pb system solder, Sn-Zn system solder, Sn-Pb-Cu system solder, Sn-Cu system solder, Ag-Sn-Cu system solder, In-Cu system solder, and Sn-Cu-Zn, as the above-mentioned low melting point metal. As a concrete thing, metals, such as Sn/Pb/Cu, Sn/Cu, Sn/Ag/Cu, Sn/Ag/In/Cu, Sn/Cu/Zn, Sn/Zn, Sn/Sb, Sn/Sb/In or tin, and lead, are mentioned. It is desirable to use fundamentally that by which Cu, Zn, or Sb was blended in solder. The fluidity of a conductive paste can be suppressed and other things are excelled in electric connectability and dependability also in the reliability trials under a high-humidity/temperature condition and thermo-cycle conditions etc.

[0062]

one side of an insulating base material which mentioned above the multilayer printed wiring board concerning this invention — a conductor — two or more sheets of the one side circuit board in which it comes to form a circuit As opposed to the front face by the side of the conductive bump of the one side circuit board which came to carry out a laminating in the predetermined direction, and has been arranged inside among those one side circuit boards the conductor in which the copper foil which comes to carry out mat processing of the whole surface is stuck by pressure in the condition of having made the mat side countering, and has a predetermined circuit pattern by etching processing — it is formed in the circuit.

[0063]

As for the mat side of the above-mentioned copper foil, it is desirable to form by etching processing well-known in itself, nonelectrolytic plating processing, oxidation reduction processing, etc., and forming by etching processing especially is desirable.

As the above-mentioned etching processing, there is an etching reagent which used a cupric chloride, a ferric chloride, persulfate, a hydrogen peroxide/sulfuric acid, alkali etchant, an organic acid, and drug solutions, such as the second copper complex, as base resin,

As the above-mentioned nonelectrolytic plating processing, there are composite coatings, such as nonelectrolytic plating of monolayers, such as copper, nickel, and aluminum, permutation plating, and copper-nickel-Lynn, etc., as the above-mentioned oxidation reduction processing — melanism — there is processing performed by the bath and the reduction bath which are alkaline baths, such as sodium.

[0064]

Although the adhesion between the copper foil and the insulating resin base materials by which mat processing was carried out [above-mentioned] changes with resin viscosity, the thickness of copper foil, *****, etc. When an insulating resin base material is a hard resin base material and the range of the thickness of copper foil is 5-50 micrometers The range of the roughness of the mat side of copper foil is 0.1-5 micrometers, temperature is 120-250 degrees C, ***** is the range of 1-10Mpa, and, as for the Peel reinforcement as the result, it is desirable that it is the range of 0.6 - 1.4 kg/cm².

[0065]

the conductor formed by carrying out etching processing of the copper foil since the mat side of the above-mentioned copper foil is stuck by pressure also not only to the field by the side of the conductive bump of the one side circuit board but to the conductive bump who projects from the field — between a circuit and the fields by the side of a conductive bump, and its conductor — the junction nature between a circuit and a conductive bump improves.

[0066]

Generally, in carrying out the laminating of the one side circuit board to a multilayer in the same direction the conductor which is a metal layer in order to repeat heating processes, such as desiccation and annealing, after being immersed in plating liquid, a penetrant remover, etc., since the stress which joins the part in which a circuit does not exist is not buffered the substrate itself — curving — therefore, a conductor — the faulty connection in fracture of a circuit, an open circuit, and the Bahia hall part, exfoliation of a restoration metal, etc. occur, and a fall may be caused in electrical connection nature and dependability.

[0067]

after [however,] unifying two or more one side circuit boards and copper foil by which the laminating was carried out in the same direction by hot press like the invention in this application — copper foil — etching processing — carrying out — a conductor — a circuit — forming — the conductor — to a circuit forming face, the above-mentioned direction carries out the laminating of other one side circuit boards to an opposite direction, and is united with it by hot press.

in this case, the conductor which the mat side of copper foil was stuck by pressure to the field by the side of the conductive bump of the one side circuit board located more inside, and carried out etching processing and formed that copper foil — a circuit can form the contact pads which should be joined by the conductive bump of other one side circuit boards by which a laminating is carried out to it in the circuit-pattern of the request which it has at least.

[0068]

therefore, the conductor to the field by the side of the conductive bump of a substrate — since the Peel reinforcement and pull reinforcement of a circuit are fully secured and the location gap of contact pads to the Bahia hall by hot press can be prevented, positive electrical installation can be performed.

[0069]

Moreover, it is desirable to perform hot press twice in this case. Although an exact scale factor is needed, the high Peel reinforcement and pull reinforcement can be obtained.

[0070]

the above — a conductor — covering formation of the protective coat which consists of noble metals, such as at

least one kind of protective coat or gold, platinum, etc. which are chosen from tin, zinc, nickel, and Lynn, may be carried out to the mat side of the copper foil which forms a circuit.

The thickness of such a protective coat has the desirable range of 0.01–3 micrometers. The reason is 0.01 micrometers. It is because the crevice of the formed mat side may be filled up with a protective coat and a mat treatment effect may be offset, if detailed irregularity of a mat side may be unable to be completely covered with the following and 3 micrometers is exceeded. The range especially of desirable thickness is 0.03–1 micrometer.

[0071]

The protective coat which consists of tin among the above-mentioned protective coats can be formed as a thin film layer which deposits with non-electrolyzed permutation plating, and can be most advantageously applied from excelling also in adhesion with a mat side.

[0072]

Hoe stannous-fluoride-thiourea liquid or tin chloride-thiourea liquid is used for the nonelectrolytic plating bath for forming such ** tinning film, and, as for the plating processing condition, it is desirable to consider as about 5 minutes in the room temperature around 20 degrees C, and to consider as about 1 minute in a 50 degrees C – about 60 degrees C elevated temperature.

According to such nonelectrolytic plating processing, the copper-tin substitution reaction based on metal complex formation of thiourea takes place in the front face of a copper pattern, and a tin thin film layer is formed in it.

Since it is a copper-tin substitution reaction, a mat side can be covered without destroying the shape of toothing.

[0073]

Moreover, as for the noble metals which can be used being able to replace with metals, such as tin, it is desirable that they are gold or platinum. It is because these noble metals cannot be easily risked by the acid or oxidizer which are roughening processing liquid compared with silver etc. and a mat side can be covered easily. However, since cost increases, noble metals are used only for a speciality product in many cases. The coat of such gold and platinum can be formed with a spatter, electrolysis, or nonelectrolytic plating.

[0074]

By preparing such an enveloping layer, the wettability of a mat side becomes uniform, and junction nature with the conductive bump formed corresponding to the Bahia hall not only making it improve but since junction nature with the resin with which it sinks into the core material which constitutes a resin insulating layer can also be raised, electrical installation nature and connection dependability are improved sharply.

[0075]

The multilayer printed wiring board formed of the above-mentioned laminating and hot press can cover the front face of the outside circuit board, and can prepare a solder resist layer.

the conductor which the solder resist layer is formed mainly from thermosetting resin or a photopolymer, and opening is formed in the part corresponding to the Bahia hall location on the circuit board, and is exposed from the opening — solder objects, such as a solder bump who is an external terminal, and a solder ball, a conductive pin of T form, are formed on a circuit (contact pads). An external terminal is formed in both sides.

[0076]

Moreover, about other circuit boards in the lower layer in the side connected to a mother board among the circuit boards located outside, the conductive ball formed from metallic materials, such as a conductive pin of T form which was located in right above [of the Bahia hall], for example, was formed from metallic materials, such as 42 alloys and phosphor bronze, and gold, silver, solder, can be prepared.

[0077]

[Embodiment of the Invention]

[Embodiment of the Invention]

First, the one side circuit board concerning the operation gestalt of this invention is explained with reference to drawing 1 and drawing 2 about the configuration of a multilayer printed wiring board which comes to carry out a laminating.

Drawing 1 (A) shows the configuration of the multilayer printed wiring board 100 which constitutes a package substrate, and drawing 1 (B) shows the condition of having mounted the IC chip 70 in this multilayer printed wiring board 100. Drawing 2 shows the condition of having carried out the laminating of the IC module 120 to the multilayer printed wiring board 100 which mounted the IC chip 70.

[0078]

As shown in drawing 1 (A), a multilayer printed wiring board 100 carries out the laminating of the two-layer one side circuit board A and the one side circuit board B, and changes. Opening (Zagury section) 10a for holding IC chip is formed in the center section of the upper one side circuit board A. the top face of the one side circuit board A — a conductor — a circuit 36 forms — having — **** — this — a conductor — BGA56 for IC module connection is arranged on the circuit 36. moreover — this — a conductor — the Bahia hall 18 is formed in the bottom of a circuit 36 at the opening 16 which penetrates the insulating base material 10. the conductor of the one side circuit board B of a lower layer [lower limit / of the Bahia hall 18] — the solder bump 24 for connecting

with a circuit 28 is stationed. This one side circuit board A and the lower layer one side circuit board B are connected through the adhesives layer 26. Metal layer 28a for heat dissipation of the IC chip 70 is prepared in the center of a top face of the lower layer one side circuit board B. Under the metal layer 28a, Bahia hall 18a for heat dissipation is prepared. the conductor of the top face of the lower layer one side circuit board B — down the circuit 28, the Bahia hall 18 for circuit connection is formed. the solder bump 24 of the lower layer one side circuit board B — a conductor — a circuit 38 connects — having — this — a conductor — BGA56 is attached in the circuit 38. In addition, the solder resist layer 40 is covered by the top face of the one side circuit board A, and the inferior surface of tongue of the one side circuit board B.

[0079]

As shown in drawing 1 (B), it is in opening 10a of a multilayer printed wiring board 100, and the IC chip 70 is held on the above-mentioned metal layer 28a. the IC chip 70 — a wire 72 — the conductor by the side of a multilayer printed wiring board — circuit (pad) 36p and connection are taken. Mold is made with resin 74 by this IC chip 70 and opening 10a.

[0080]

As shown in drawing 2, the IC module 120 is connected to BGA56 by the side of the front face of a multilayer printed wiring board 100 through a terminal 132. On the other hand, BGA56 by the side of the rear face of a multilayer printed wiring board is connected to the printed wired board which is not illustrated. The IC module 120 comes to carry out the mold of the IC chip 122 laid on the terminal assembly 130 by resin 124, and bonding connection of the IC chip 122 and the terminal 132 of a terminal assembly 130 is made with the wire 128.

[0081]

Since BGA56 is arranged at the front face and the rear face, the multilayer printed wiring board 100 of the 1st operation gestalt becomes possible [connecting another printed wired board etc. to the both sides]. For example, where the IC module 120 is mounted through surface BGA56, it is connectable with a printed wired board through BGA56 on the back. Moreover, the degree of freedom of the gestalt of IC module mounted increases.

[0082]

Moreover, if another view is carried out, two kinds such as the circuit (PGK circuit) which is made to connect the circuit formed in this multilayer printed wiring board to the IC chip 70 mounted on this substrate, and is pulled out outside, and the circuit (INTAPOZA circuit) which is connected to the IC module 120 and pulled out through this multilayer printed wiring board outside are intermingled. The duty of INTAPOZA and a PKG substrate can be achieved by one sheet; and a miniaturization and advanced features are enabled. Moreover, even if a multilayer printed wiring board 100 or the IC module 120 causes a defect in this case, it can respond, before attaching the IC module 120 in a multilayer printed wiring board. It can be easily adapted even if it carries out the design change (for example, the case of having changed capacity is meant if it is memory) of the IC module 120.

[0083]

Since Zagury 10a is formed; thickness (thickness in the condition of having mounted the IC chip 70 in the multilayer printed wiring board 100) in the mounting area can be made thin. Furthermore, even if it multilayers and mounts IC, the total thickness of the substrate including closure resin itself can also be made thin.

[0084]

With the 1st operation gestalt, it is arranged so that BGA56 on the back may not lap surface BGA56 and directly under pad 36p. That is, as shown in drawing 13 which expands and shows a part of drawing 2, it is arranged so that the center line X1 of the Bahia hall 18 in which BGA56 is attached, and the center line X2 of the Bahia hall 18 in which BGA56 on the back is attached may shift. That is, it is arranged so that the connection field of BGA56 on the back may not lap directly under surface BGA56 and the connection field of a pad. BGA56 has a small connection place compared with external terminals, such as a conductive contact pin, and stress tends to concentrate it. Moreover, it is because stress will occur according to an external factor, like heat is added and the stress will be transmitted to an external edge, if the coefficient of thermal expansion of an ingredient with other printed wired boards etc. differs. Therefore, the generated stress is also told to a substrate. If it is formed at this time so that double-sided BGA56 may overlap, stress will get across to an opposite side. Therefore, the faulty connection in an opposite side may be caused. However, if BGA56 has not lapped, since the stress is buffered, it is hard coming to cause connection fault.

[0085]

With the 1st operation gestalt, the IC chip 122 is memory with small calorific value, and the IC chip 70 is a logic IC with much calorific value. Metal layer 28a is prepared directly under this IC chip 70, and it is made to connect with this metal layer 28a through Bahia hall 18a at BGA56. By making it the configuration, heat can be made to be able to transmit to the printed wired board side connected to BGA56 efficiently, and heat can be radiated.

[0086]

Drawing 11 (A) is the sectional view of the multilayer printed wiring board concerning the example of an alteration of the 1st operation gestalt, and drawing 11 (B) is a top view. In this example of an alteration, pad 36p is arranged alternately.

[0087]

Drawing 12 is ** with the sectional view of the multilayer printed wiring board concerning the example of an alteration of the 1st operation gestalt. Like this example of an alteration, it is also possible to lay IC chip 122B in the shape of a stack on IC chip 122A:

[0088]

About an example of an approach which manufactures the multilayer printed wiring board concerning this invention hereafter, an accompanying drawing is made reference and explained concretely.

(1) In manufacturing the multilayer printed wiring board concerning this invention, that by which copper foil 12 was stuck on one side of the insulating base material 10 is used for one side circuit board 10A as a base unit which constitutes it as a start ingredient (drawing 3 (A)).

[0089]

This insulating base material has the most desirable glass fabric epoxy resin base material, although the hard laminating base material chosen from for example, a glass fabric epoxy resin base material, a glass fabric bismaleimide triazine resin base material, a glass fabric polyphenylene ether resin base material, an aramid nonwoven fabric-epoxy resin base material, and an aramid nonwoven fabric-polyimide resin base material may be used.

[0090]

The thickness of the above-mentioned insulating base material 10 has desirable 20-600 micrometers. The reason is because the dependability over electric insulation becomes low while reinforcement falls and handling becomes difficult by the thickness of less than 20 micrometers, and the substrate itself becomes thick by the thickness exceeding 600 micrometers while formation of the detailed Bahia hall and restoration of a conductive paste become difficult.

[0091]

Moreover, the thickness of copper foil 12 has desirable 5-18 micrometers. if the reason is because it will penetrate if too thin and is too thick conversely, in case it forms opening for the Bahia hall formation in an insulating base material using laser beam machining which is mentioned later — etching — the conductor of detailed line breadth — it is because it is hard to form a circuit pattern.

[0092]

It is desirable to use the one side copper clad laminate obtained by carrying out the laminating of the prepreg which the epoxy resin was made to **** to glass fabrics, and was made into B stage especially as the above-mentioned insulating base material 10 and copper foil 12, and the copper foil, and carrying out hot press. The reason is that the location of a circuit pattern or the Bahia hall does not shift during the handling after copper foil was etched, and it excels in location precision.

[0093]

(2) Next, stick the transparent protection film 14 on the front face on which the copper foil of an insulating base material was stuck, and the front face of the opposite side (drawing 3 (B)).

As for this protection film 14, a polyethylene terephthalate (PET) film [as / whose thickness of 1-20 micrometers and the film itself the thickness of a binder layer is 10-50 micrometers] is used.

[0094]

(3) Subsequently, perform carbon-dioxide-gas laser radiation from on the PET film 14 stuck on the insulating base material, penetrate a PET film, and form the opening 16 which reaches copper foil (or a conductor circuit pattern) 12 from the front face of the insulating base material 10 (drawing 3 (C)).

This laser beam machining is performed by pulse oscillation mold carbon-dioxide-gas laser-beam-machining equipment, and, as for that processing condition, it is desirable for 1 - 100 microseconds and pulse separation to be [pulse energy / for 0.5ms or more and a shots per hour] within the limits of 3-50 for 0.5 - 100mJ and pulse width.

As for the aperture of the opening 16 for beer formation which may be formed under such processing conditions, it is desirable that it is 50-250 micrometers.

In addition, the above-mentioned protection film may be used as the mask for printing, when forming a solder bump who mentions later by printing of a conductive paste. In this case, it is desirable to use as solder that with which Cu, Zn, or Sb was blended. another conductor which adjoins each other from that the melting point is high and the fluidity of the paste itself being small as compared with Sn/Pb — a circuit — being short (short circuit) — it is hard to cause. Therefore, it is because electrical connection nature and dependability improve. However, the conductive paste which consists of metal particles, such as the soldering paste generally used and copper, such as Sn/Pb and Sn/Ag, and gold, may be used.

[0095]

(4) In order to remove the resin remnants which remain on the side face and base of opening 16 which were formed at the process of the above (3), perform DESUMIA processing.

As for this DESUMIA processing, it is desirable to be carried out by dry type processing of oxygen plasma

electrodischarge treatment, corona discharge treatment, the ultraviolet-rays lasing, or excimer laser processing.
[0096]

(5) Next, after sticking the PET film 15 as a plating protection film to the 12th page of the copper foil of the substrate 10 which carried out DESUMIA processing (drawing 3 (D)), perform electrolytic copper plating processing which makes copper foil 12 a plating bar, and in opening, it is filled up with electrolytic copper plating and form the restoration Bahia hall 18 (drawing 3 (E)).

In addition, the PET film 15 stuck on the substrate may be made to exfoliate after electrolytic copper plating processing, and flattening of the electrolytic copper plating which rose in the upper part of opening may be removed and carried out by belt sander polish, buffing, etc. (drawing 4 (A)).

[0097]

(6) Electrolysis solder which makes copper plating 18 a plating bar after performing electrolytic copper plating processing of the above (5). the letter of a projection which performs plating processing and consists of electrolysis solder plating — a conductor 24, i.e., a conductive bump, is formed so that it may project slightly from electrolytic copper plating 18 front face (drawing 4 (B)). The conductive bump who formed at this time formed by Sn/Cu (97:3).

[0098]

(7) Subsequently, make the PET film stuck on the copper foil 12 of the insulating base material 10 exfoliate after applying resin adhesives to a front face including the conductive bump 24 of the insulating base material 10 and forming the adhesives layer 26 in it (drawing 4 (C)).

Such resin adhesives are formed as an adhesives layer which is applied to the front face which does not contain the whole front face including the conductive bump of for example, an insulating base material, or a conductive bump, and consists of non-hardening resin in the condition of having been dried. As for this adhesives layer, it is desirable to carry out precure, since handling becomes easy, and that thickness has the desirable range of 5-50 micrometers.

[0099]

As for said adhesives layer, consisting of organic system adhesives is desirable, and it is desirable that they are an epoxy resin, polyimide resin, the heat-curing mold poly FENOREN ether (PPE), the compound resin of an epoxy resin and thermoplastics, the compound resin of an epoxy resin and silicone ****, and at least one sort of resin chosen from BT resin as organic system adhesives.

The method of application of the non-hardening resin which is organic system adhesives can use curtain coater, a spin coater, a roll coater, a spray coat, screen-stencil, etc. Moreover, formation of an adhesives layer can be performed also by laminating an adhesives sheet.

[0100]

At this time, two kinds of one side circuit boards are created.

One is the one side circuit board (the one side circuit board A is called below) which has opening 10a by the router, punching, etc. in a substrate (drawing 4 (D)).

Another is the one side circuit board (the one side circuit board B is called below) which does not have opening and which is mentioned later.

[0101]

The above (1) The one side circuit board A produced according to the process of - (7) forms in a substrate what has opening with a router, punching, laser, etc. The area to form is formed in 3% or more of area of the area of IC chip to mount. At less than 2%, it is because the permission to unescapable location gap of the alignment of IC chip etc. is lost, so IC chip cannot be mounted. Moreover, it is because it mounts, so a field is not secured, either. While having copper foil as a conductor layer on one front face of an insulating base material and having a restoration Bahia hall in opening which reaches copper foil from the front face of another side The solder bump who consists of solder plating is formed on the restoration Bahia hall. Have an adhesives layer on the front face of the insulating base material which furthermore contained the solder bump, and it is formed in it. In case the multilayer printed wiring board concerning this invention is produced, it is desirable to be adopted as the circuit board by which a laminating is carried out to the upper layer by being located, or the circuit board which forms the double-sided circuit board with the copper foil which comes to have a mat side.

[0102]

Next, other one side circuit boards B by which a laminating is carried out to the lower layer of the above-mentioned one side circuit board A are produced.

(8) After processing like the process of above-mentioned (1) - (6) first (refer to drawing 5 (A) - (G)), Etching processing is performed, after sticking the etching protection film 25 on solder bump 24 forming face of the insulating base material 10 (drawing 6 (A)) and ****(ing) copper foil 12 with the mask of a predetermined circuit pattern. a conductor — conductor-layer 28a which functions as a circuit (a beer land is included) 28 and a heat sink directly under IC chip is formed (drawing 6 (B)).

[0103]

the conductor which met the predetermined circuit pattern, exposed and carried out the development, formed etching resist, etched the metal layer of an etching-resist agenesis part, and contained the beer land first in this down stream processing after sticking a photosensitive dry film resist on the surface of copper foil — a circuit pattern is formed.

As this etching reagent, at least one sort of water solutions chosen from the water solution of sulfuric-acid passing away hydrogen oxide, persulfate, a cupric chloride, and a ferric chloride are desirable.

[0104]

the above-mentioned copper foil — etching — a conductor — as pretreatment which forms a circuit 28, since a fine pattern is made easy to form, beforehand, the whole surface surface of copper foil can be etched and 1-10 micrometers of thickness can be more preferably made thin to about 2-8 micrometers.

a conductor — although the bore of the beer land as a part of circuit is the same as the Bahia hall aperture almost, as for the outer diameter, it is desirable to be formed in the range of 50-250 micrometers.

[0105]

(9) the conductor formed above (8) — the thin film layers 29, such as tin, may be formed by nonelectrolytic plating processing to the front face of a circuit (drawing 6 (C)).

Hoe stannous-fluoride-thiourea liquid or tin chloride-thiourea liquid is used for the nonelectrolytic plating bath for forming such ** tinning film, and, as for the plating processing condition, it is desirable to consider as about 1 - 5 minutes in the temperature of 20 degrees C - about 60 degrees C.

According to such nonelectrolytic plating processing, the copper-tin substitution reaction based on metal complex formation of thiourea takes place in the front face of a copper pattern, and a tin thin film layer with a thickness of 0.01-1 micrometer is formed in it.

[0106]

in addition, the conductor formed at the process of the above (7) — roughening processing can be performed if needed to the front face of a circuit 28, and the tin layer formed at the process of the above (8) on the roughening layer can also be formed.

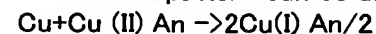
Moreover, it is desirable to replace with a tin layer and to cover with the protective coat which consists of noble metals, such as a protective coat or gold, platinum, etc. which consist of at least one kind chosen from zinc, nickel, and Lynn.

The above-mentioned roughening processing is for improving adhesion with an adhesives layer and preventing exfoliation (delamination), in case it multilayers.

as a roughening art — for example, software etching processing and melanism (oxidization) — 1 reduction processing, formation of the needlelike alloy plating (the product made from the Ebara YUJI light: trade name INTAPURETO) which consists of copper-nickel phosphorus, and the trade name made from MEKKU "MEKKU dirty bond" — there is surface roughening by the etching reagent.

[0107]

formation of the above-mentioned roughening layer is formed using an etching reagent — desirable — for example, a conductor — the front face of a circuit can be formed by carrying out etching processing using an etching reagent from the second copper complex and the mixed water solution of an organic acid. this etching reagent — the bottom of oxygen coexistence conditions, such as a spray and bubbling, — copper — a conductor — a circuit pattern can be dissolved and a reaction is presumed to be what advances as follows.



A shows a complexing agent (it acts as a chelating agent) among a formula, and n shows the coordination number.

[0108]

As shown in an upper type, the generated first copper complex dissolves in an operation of an acid, it combines with oxygen, and it turns into the second copper complex, and is again contributed to copper oxidation. The second copper complex used in this invention has the good second copper complex of azoles. The etching reagent which consists of this organic-acid-second copper complex can be dissolved in water, and can prepare the second-copper complex and organic-acid (the need is accepted and it is the halogen-ion) of azoles.

Such an etching reagent is for example, an imidazole copper (II) complex. Ten weight sections, glycolic acid Seven weight sections, potassium chloride It is formed from the water solution which mixed 5 weight sections.

Moreover, the one side circuit board B may be created, without forming roughening processing and an enveloping layer.

[0109]

(10) Subsequently, apply the resin adhesives 32 to the front face of the insulating base material after making the protection film 25 exfoliate from the front face of the insulating base material 10 including a solder bump (drawing 6 (D)).

Such resin adhesives are formed as an adhesives layer which is applied to the front face which does not contain the whole front face including the solder bump of for example, an insulating base material, or a solder bump, and

consists of non-hardening resin in the condition of having been dried. As for this adhesives layer, it is desirable to carry out precure, since handling becomes easy, and that thickness has the desirable range of 5-50 micrometers. [0110]

As for said adhesives layer, consisting of organic system adhesives is desirable, and it is desirable that they are an epoxy resin, polyimide resin, the heat-curing mold poly FENOREN ether (PPE), the compound resin of an epoxy resin and thermoplastics, the compound resin of an epoxy resin and silicone ****, and at least one sort of resin chosen from BT resin as organic system adhesives.

The method of application of the non-hardening resin which is organic system adhesives can use curtain coater, a spin coater, a roll coater, a spray coat, screen-stencil, etc. Moreover, formation of an adhesives layer can be performed also by laminating an adhesives sheet.

[0111]

the one side circuit board B produced according to the process of above-mentioned (8) - (10) — one front face of the insulating base material 10 — a conductor — it has a circuit and it has the solder bump 24 who consists of solder plating on the surface of another side, and it has the adhesives layer 26 for adhesion with other insulating base materials, or the adhesives layer 32 for adhesion with copper foil on the front face of the insulating base material which contained the solder bump 24 further, and it is formed in it.

[0112]

(11) While turning caudad the field by the side of the conductive bump of the above-mentioned one side circuit board A and carrying out the laminating of the one side circuit board B in the same direction to the field The copper foil 30 whose thickness which has the mat side whose surface roughness is 1.0 micrometers is 5-18 micrometers to the front face by the side of the solder bump 24 of the one side circuit board B A laminating is carried out in the condition of having made the mat side countering (drawing 7 (A)), under the heating temperature of 150-200 degrees C, and the conditions of welding-pressure 1-10MPa, hot press is carried out and the one side circuit board A and the one side circuit board B are unified (drawing 7 (B)).

[0113]

At this time, it is crowded on both sides of a metal, a resin film, etc. in opening 10a of the one side circuit board A between press plates. It is effective in order to avoid becoming an ununiformity at the location gap at the time of a press, and a pressure in order for this to prevent the outflow of adhesives. In this case, it is also good to place the corrosion plate which needs to put nothing in and has heights.

[0114]

More preferably, such hot press is performed to the bottom of reduced pressure, and the one side circuit board A and the one side circuit board B paste it up by stiffening the resin adhesives layer 26 in the condition of not hardening. Copper foil 30 is pasted up by stiffening the adhesives layer 32.

[0115]

(12) carrying out etching processing of the copper foil 12 of the upper layer of the circuit board unified in the above (11), and the lower layer copper foil 30 — the upper layer and the lower layer of a multilayer printed wiring board — a conductor — a circuit 36 and a conductor — form a circuit 38 (Bahia hall land and pad 36p is included) (refer to drawing 7 (C)).

[0116]

the conductor which met the predetermined circuit pattern, exposed and carried out the development, formed etching resist, etched the metal layer of an etching-resist agenesis part, and contained the Bahia hall land first in this down stream processing after sticking a photosensitive dry film resist on the front face of copper foil 12 and copper foil 30 — a circuit 36 and a conductor — a circuit 38 is formed.

[0117]

(13) Next, form the solder resist layer 40 in the outside of the one side circuit boards A and B, respectively (drawing 8 (A)). in this case, the thing which the photo-mask film which drew opening is laid, and it exposes and is done to this paint film for a development after circuit-board A calling, applying a solder resist constituent to the whole outside surface of B and drying that paint film — a conductor — the opening 44 to which the solder pad-part located in a circuit and right above [Bahia hall] was exposed is formed, respectively. A film may be stuck besides it and opening may be carried out by exposure, the development, or laser.

[0118]

(14) Before arranging the conductive bump, the conductive ball, or the conductive pin which be an external terminal in the solder pad (opening 44) part exposed to right above [Bahia hall] from opening of the solder resist obtained at the process of the above (13), it be desirable to form the metal layer which consist of "nickel 52-gold 54" on each solder pad section (drawing 8 (B)).

[0119]

The thickness of this nickel layer 52 has desirable 1-7 micrometers, and the thickness of a gold layer 54 has desirable 0.01-0.06 micrometers. This reason is that it will be easy to exfoliate if too thin [if a nickel layer is too thick, increase of resistance will be caused, and]. It is because the adhesion effectiveness with a solder object

will fall on the other hand if too thin [if a gold layer is too thick, it will become an increase of cost, and]. The monolayer of tin or a noble-metals layer may be formed.

[0120]

(15) On the metal layer which consists of nickel-gold prepared on the above-mentioned solder pad section, supply a solder object, form the conductive bump who is an external terminal by melting and solidification of this solder object, or join a conductive ball or a conductive pin to the solder pad section, and form a multilayered circuit board (drawing 1 (A)).

[0121]

A solder replica method and print processes can be used as the supply approach of the above-mentioned solder object. It is the approach of forming a solder pattern by a solder replica method's pasting a solder foil together to prepreg here, and leaving and etching only the part which is equivalent to a part for opening in this solder foil, and considering as a solder carrier film, carrying out the laminating of this solder carrier film so that a solder pattern may contact a pad, after applying flux to a part for solder resist opening of a substrate, and heating and imprinting this.

[0122]

On the other hand, print processes are approaches of laying in a substrate the printing mask (metal mask) which prepared opening in the part equivalent to a pad, and printing and heat-treating soldering paste. Tin-silver, a tin-indium, tin-zinc, a tin-bismuth, tin-antimony, etc. can be used as solder. As for those melting points, it is desirable that it is lower than a conductive bump's melting point.

[0123]

That is, a solder object suitable on each solder pad exposed from opening of a solder resist layer is supplied, and a conductive bump is formed, or it constitutes so that a conductive ball or conductive T pin may be connected.

[0124]

In addition, as a solder ingredient which connects the conductive ball 56 and T pin, it is desirable to use tin / antimony solder with the melting point higher than a conductive bump's melting point, tin / silver solder, tin / silver / copper solder, etc.

[0125]

The above (1) According to the operation gestalt according to the process of - (15), a multilayer printed wiring board 60 While carrying out the laminating of the one side circuit board A and the one side circuit board B in the same direction, where opposite arrangement is carried out, copper foil 30 to the front face by the side of the solder bump of the one side circuit board B, so that a mat side may counter the copper foil 12 of the one side circuit board A while pasting up the one side circuit boards by carrying out hot press, after sticking copper foil 30 to the one side circuit board B by pressure and multilayering, and the copper foil 30 stuck to one side circuit board B-2 by pressure — etching processing — carrying out — respectively — a conductor — circuits 36 and 38 were formed. Besides such an operation gestalt, following **1 The example 1 of an alteration, **2 A production process which was indicated for the example 2 of an alteration is also employable.

[0126]

**1 The example 1 of an alteration

Where opposite arrangement of the copper foil 30 which has a mat side on the front face by the side of the solder bump 24 of the one side circuit board B is carried out, copper foil 30 is stuck to the one side circuit board B by pressure by (drawing 9 (A)) and vacuum hot press (drawing 9 (B)). then, the conductor which performs etching processing, etches copper foil alternatively, and has a predetermined pattern where an etching protection film is stuck — a circuit 38 is formed and the double-sided circuit board B is formed (drawing 9 (C)).

then, the field by the side of the solder bump 24 of the one side circuit board A — receiving — the conductor of the circuit board B — the condition of carrying out opposite arrangement of the field by the side of a circuit 28 — (— it multilayers drawing 9 (D)) and by carrying out vacuum hot press (drawing 9 (E)). then, the copper foil of the one side circuit board A — etching — a conductor — a circuit is formed (refer to drawing 7 (C)).

[0127]

**2 The example 2 of an alteration

the copper foil 12 of the one side circuit board A shown in drawing 4 (C) — etching — a conductor — a circuit 36 is formed (drawing 10 (A)) and opening 10a is drilled in a substrate 10 by the router, punching, etc. (drawing 10 (B)). then, the one side circuit board A — receiving — the process of drawing 9 (C) — a conductor — the condition of having carried out opposite arrangement of the double-sided circuit board B in which the circuit 38 was formed — (— it multilayers drawing 10 (C)) and by carrying out vacuum hot press (drawing 10 (D)).

[0128]

Although the laminating unification of the one side circuit board of two sheets was carried out and it multilayered to two-layer with the operation gestalt mentioned above, the multilayering if needed by increasing at least the three or more layers of the number of the one side circuit boards is possible.

[0129]

[Example] The following is an example of a method for forming a multilayer printed wiring board.

(Example-1) The following is an example of a method for forming a multilayer printed wiring board.

(1) Manufacture first the one side circuit board which constitutes a multilayer printed wiring board. The one side copper clad laminate obtained by carrying out the laminating of the prepreg which the epoxy resin was made to **** to glass fabrics, and was made into B stage, and the copper foil, and carrying out hot press is used for this circuit board as a start ingredient.

[0130]

The thickness of 75 micrometers and copper foil is 17.5 micrometers, and the thickness of this insulating base material has the binder layer whose thickness is 12 micrometers on the copper foil forming face of this laminate, and the front face of the opposite side, and laminates a PET film [as / whose thickness of the film itself is 12 micrometers].

[0131]

(2) Subsequently, carbon-dioxide-gas laser radiation may be performed from on a PET film; opening for the Bahia hall formation which penetrates a PET film and an insulating base material, and results in copper foil is formed, further, the inside of the opening may be immersed with drug solutions, such as DESUMIA processing, an acid, oxidization material, and alkali, by oxygen plasma discharge, and DESUMIA processing may be performed. the conductor which are smoothing of a base material and copper foil by DESUMIA processing — the resin residue of a part is removable. Thereby, even if filled up with a subsequent conductive bulking agent, reservation of connectability and dependability is made. Although this resin residue becomes the cause, since it is removed, it is satisfactory and does not generate.

[0132] In this example for formation of opening for the Bahia hall formation. The Mitsubishi Electric high peak short pulse oscillation mold carbon-dioxide-gas laser beam machine is used. The laser beam exposure of the PET film with a thickness of 22 micrometers is carried out from a PET film side by the mask imaging method as a whole at the glass fabric epoxy resin base material of 60 micrometers of base material thickness laminated in the resin side. At the speed of 100 holes / second Opening for the Bahia hall formation of 150 micrometer phi was formed.

[0133] (3) The PET film was stuck on the copper foil pasting side of the insulating base material which finished DESUMIA processing, on the following conditions, electrolytic copper plating processing which makes copper foil a plating bar was performed, in opening, it was filled up with electrolytic copper plating and the Bahia hall was formed. It may expose to the upper part of opening slightly, and electrolytic copper plating may remove and carry out the flattening of the exposed part by sandur belt polishing and buffing in the case.

[Electrolytic copper plating water solution]

Sulfuric acid : 175 g/l

Copper sulfate : 78 g/l

Additive (made in ATOTEKKU Japan, a trade name: KAPARASHIDO GL) : 0.98 ml/l

[Electrolysis plating conditions]

Current density : 1.9 A/dm²

Time amount : 30 Part

Temperature : 25 **

[0134]

(4) On the still more nearly following conditions, perform electrolysis solder plating processing, form a solder plating layer on the copper-plating layer with which opening was filled up, and form the solder bump who projects 3-10 micrometers from the front face of an insulating base material.

[Electrolysis solder plating solution]

Metal presentation ratio: It was made to form in Sn/Cu=99.9 / 0.1 - 70/30.

Additive : 5ml/l

(Electrolysis solder plating conditions)

Temperature : 21 degrees C

Current density g : 0.41 A/dm²

As the concrete example, it is Sn/Cu=99.3 / 0.7 (melting point of 227 degrees C), and Sn/Cu=95/5 (melting point 310).

In this case, a solder bump's formed ratio made the optimal example the thing of the ratio of Sn/Cu=99.9 / 0.1 - 90/10, and made the thing used as Sn/Cu>90/10 the example of application.

[0135]

(5) Next, after making the PET film stuck on the insulating base material above (3) exfoliate, precure of the epoxy resin adhesive was applied and carried out all over the solder bump side of an insulating base material; and the adhesives layer for multilayering was formed.

[0136]

(6) Make opening form in the insulating base material formed at the process of (5) by the router, punching, laser, etc. The area which carries out opening was made to form among 15 – 70%. It was made to form at 36.5% at this example.

The above (1) The one side circuit board A produced according to – (6) is the circuit board which should be arranged in the upper layer in the case of multilayering, and becomes the field to which IC chip is mounted in opening.

[0137]

(7) the conductor which a PET film is made to exfoliate from the copper foil pasting side of an insulating base material, and performs suitable etching processing for copper foil where an etching protection film is stuck on the front face by the side of the solder bump of an insulating base material, and has a predetermined pattern after carrying out the same processing as the process of above-mentioned (1) – (4) — the circuit was formed.

[0138]

the conductor obtained above (7) — on the surface of a circuit, as a nonelectrolytic plating bath, hoe stannous-fluoride-thiourea liquid is used, nonelectrolytic plating processing may be performed and a tin thin film layer with a thickness of 0.1 micrometers may be formed on the plating conditions for about 5 minutes around 45 degrees C.

[0139]

(8) After making the etching protection film stuck on the insulating base material above (6) exfoliate, precure of the epoxy resin adhesive was applied and carried out all over the solder bump side of an insulating base material, and the adhesives layer for pasting up each circuit board and multilayering was formed.

[0140]

The above (6) The one side circuit board A produced according to the process of – (8) is a substrate multilayered in combination with the one side circuit board B.

[0141]

(9) As the one side circuit board B to which the copper foil 30 which has a mat side is stuck by pressure. The above (1) It replaces with adhesives like the above (8), after carrying out the same processing as the process of – (5) and (7). The epoxy resin adhesive for pasting up the copper foil 30 which has a mat side effectively on the insulating base material 10 was applied, desiccation for 30 minutes was performed at 100 degrees C, and the resin adhesives layer with a thickness of 20 micrometers was formed.

[0142]

(10) The above (1) The one side circuit board A produced according to – (8) As opposed to the field by the side of the solder bump of the one side circuit board B after carrying out the laminating of the one side circuit board B produced according to the above (9) in the same direction The copper foil whose surface roughness of the mat processing of one side is carried out, and is 1.0 micrometers and whose thickness is 12 micrometers in the condition of having made the mat side countering Under conditions with a pressure 2MPa and a degree of vacuum of 2.5×10^3 Pa, while pasting up between each one side circuit boards A and B by carrying out hot press, copper foil was pasted up on the one side circuit board, and it multilayered for the heating temperature of 200 degrees C, and heating time 10 minutes.

[0143]

(11) the etching processing suitable after that for the copper foil on the one side circuit board A of the multilayered substrate, and the one side circuit board B — a conductor — a circuit — and (a beer land is included) it formed.

[0144]

(12) The above (1) Before forming a solder resist layer in the front face of the multilayering substrate produced according to the process of – (11), the split face by the roughening layer and etching which consist of copper-nickel-Lynn may be established if needed.

[0145]

The oligomer (molecular weight 4000) of the photosensitive grant which, on the other hand, acrylic-ized 50% of epoxy groups of 60% of the weight of the cresol NOPORAKKU mold epoxy resin (Nippon Kayaku make) dissolved in DMDG (13) The 46.67 weight sections, 80% of the weight of the bisphenol A mold-epoxy resin (the product made from oil-ized shell —) dissolved in the methyl ethyl ketone the Epicoat 1001 14.121 weight section and an imidazole curing agent (Shikoku — formation — make —) the multiple-valued acrylic monomer (the Nippon Kayaku make —) which are the 2E4 MZ-CN1.6 weight section and a photosensitive monomer the R604 1.5 weight section — the same — a multiple-valued acrylic monomer (the product made from the Kyoeisha chemistry —) the leveling agent (the Kyoeisha make —) which consists of the DPE6A30 weight section and an acrylic ester polymerization object The poly flow No.75 0.36 weight section is mixed, and this mixture is received. The PENZO phenon (product made from Kanto chemistry) 20 weight section as a photoinitiator, The EAB (product made from Hodogaya chemistry) 0.2 weight section as a photosensitizer was added, the DMDG (diethylene-glycol wood ether) 10 weight section was added further, and the solder resist constituent which adjusted viscosity to 1.4×10^{-3} Pa and, and S at 25 degrees C was obtained.

In addition, in the case of 60rpm, in the case of rotor No.4 and 6rpm, measurement of viscosity was based on rotor No.3 by the Brookfield viscometer (Tokyo-Keiki, DVL-B mold).

[0146]

(14) The solder resist constituent obtained above (13) was applied to the front face of the circuit board of the multilayering substrate obtained above (11) by the thickness of 20 micrometers.

Subsequently, after performing for 20 minutes at 70-degrees C and performing desiccation processing for 30 minutes at 100-degrees C, by the chromium layer, the side in which the chromium layer was formed in the soda lime glass machine hill with a thickness of 5mm where the circle pattern (mask pattern) of solder resist opening was drawn was stuck in the solder resist layer, and the DMTG development was exposed and carried out by the ultraviolet rays of 1000 mJ/cm². Furthermore, at 80 degrees C, it heat-treated at 120 degrees C by 100 degrees C for 1 hour, and heat-treated on the conditions of 3 hours by 150 degrees C for 1 hour, and the solder resist layer (thickness of 20 micrometers) which has opening corresponding to a pad part (200 micrometers of diameters of opening) was formed for 1 hour.

[0147]

(15) Next, the substrate in which the solder resist layer was formed was immersed in the non-electrolyzed nickel-plating liquid of pH=5 which consists of nickel chlorides 30g/l, sodium hypophosphite 10g/l, and sodium citrates 10g/l for 20 minutes, and the nickel-plating layer with a thickness of 5 micrometers was formed in opening.

[0148]

Furthermore, the substrate was immersed in the non-electrolyzed gilding liquid which consists of gold cyanide force RIUMU 2g/l, ammonium chlorides 75g/l, sodium citrates 50g/l, and sodium hypophosphite 10g/l for 23 seconds on 93-degree C conditions, the gilding layer with a thickness of 0.03 micrometers was formed on the nickel-plating layer, and the covering metal layer which consists of a nickel-plating layer and a gilding layer was formed. Depending on the case, the monolayer of tin or a noble-metals layer may be formed.

[0149]

(16) And by printing the soldering paste with which the melting point consists of tin / silver solder which is about 190 degrees C to the solder pad which exposes the upper one side circuit board A from opening of a wrap solder resist layer, and carrying out a reflow at 183 degrees C, the solder ball was connected to both sides and the multilayer printed wiring board was manufactured.

[0150]

[Example 2]

Although the multilayer printed wiring board of an example 2 was the same configuration (it has shifted by the single-sided board of the upper and lower sides of the Bahia hall 18, and BGA56 is removed from directly under) as the 1st example of the above, it formed the conductive bump by Sn/Zn (97:3).

[0151]

[Example 3]

Although the multilayer printed wiring board of an example 3 was the same configuration as the 1st example of the above, it constituted the conductive bump from Sn/Sb (95:5).

[0152]

[Example 4]

Although the multilayer printed wiring board of an example 4 was the same configuration as the 1st example of the above, it constituted the conductive bump from Sn/Pb (97:3).

[0153]

[Example 5]

Although the multilayer printed wiring board of an example 5 was the same configuration as the 1st example of the above, it constituted the conductive bump from Sn/Ag (95:5).

[0154]

[Example 1 ** 1]

The multilayer printed wiring board of ** 1 of an example 1 constituted the conductive bump from Sn/Su (97:3). However, unlike the configuration of the 1st example of the above, as shown in drawing 14 (A), the external terminal 56 on the back has been arranged directly under the surface external terminal 56.

[0155]

[Example 1 ** 2]

The multilayer printed wiring board of ** 1 of an example 1 constituted the conductive bump from Sn/Su (97:3). However, unlike the configuration of the 1st example of the above, as shown in drawing 14 (B), the Bahia hall 18 of the one side circuit board on top has been arranged for the Bahia hall 18 of the one side circuit board at the bottom right above.

[0156]

[Example 1 ** 3]

The multilayer printed wiring board of ** 1 of an example 1 constituted the conductive bump from Sn/Su (97:3).

However, unlike the configuration of the 1st example of the above, as shown in drawing 14 (C), the external terminal 56 on the back has been arranged directly under the surface external terminal 56, and the Bahia hall 18 of the one side circuit board on top has been arranged for the Bahia hall 18 of the one side circuit board at the bottom right above.

[0157]

[The example 1 of a comparison]

As shown in drawing 15 (A), the multilayer printed wiring board consisted of the one side circuit boards by the manufacture approach indicated by JP,10-13028,A. Drawing 15 (B) shows the condition of having attached in the DOTA board 90 the multilayer printed wiring board shown in drawing 15 (A). Drawing 15 (C) shows the condition of having laid the IC chips 70A and 70B, in the shape of a stack. Here, the non-through tube was filled up with the conductive paste, the Bahia hall 118 was constituted, and the laminating of the one side circuit board was carried out, without using a conductive bump. The Bahia hall 118 has been arranged in the shape of a stack. the conductor linked to the Bahia hall — the land 136 which extended the circuit was formed and it connected with the land 136 with the wire 72 from the pad for the wires of the IC chip 70.

[0158]

[The example 2 of a comparison]

Although the multilayer printed wiring board of the example 2 of a comparison is the same configuration as the above-mentioned example 1 of a comparison, it made it filled up with a non-through tube with plating instead of a conductive paste.

[0159]

[Comparative study]

The PKG substrate with which IC chip was mounted in the top face of a substrate was connected, and it was made to connect with the multilayer substrate created by the SABUTORA method by which only electronic parts, such as a capacitor, are mounted in the inferior surface of tongue of a substrate in the example.

IC chip made to multilayer in the shape of a stack was mounted in the top face of a substrate, and it was made to connect with the multilayer substrate (DOTA board 90) created by the SABUTORA method by which only electronic parts, such as a capacitor, are mounted in the example of a comparison in the side which has arranged BGA.

The result of flow inspection (they are 500 cycles, 1000 cycle, 2000 cycle, and 3000 cycle ***** in 1 cycle about bottom of thermo-cycle condition 135 degrees C / 3 minutes \Leftrightarrow -65 degrees C / 3 minutes) which performed the existence of inspection of IC chip before mounting five piece created in the example and the example of a comparison, respectively, the propriety (existence of exchange of IC chip) of RIPEA, and a reliability trial is shown in drawing 16.

It was checked compared with the conventional thing (example of a comparison) that electrical connection nature and dependability are secured.

Moreover, in the comparison in the example 1, it was checked that the configuration from which did not make stack structure (the Bahia hall is arranged right above [of the Bahia hall]), and the external terminal has separated from directly under [of the external terminal of an opposite side] is most excellent in electrical connection nature and dependability. As for what has an external terminal in the same location by stack structure to it, having deteriorated was early. It was shown that it is the structure where the generated stress is hard to be eased too.

Furthermore, it was checked that that by which Cu, Zn, and Sb are blended with the conductive bump is excellent in dependability compared with other conductive metals.

[0160]

[Effect of the Invention]

As mentioned above, according to this invention, since it has the pad which connects an external terminal from both sides of a multilayer printed wiring board, it becomes possible to connect another printed wired board etc. to the both sides. Thereby, the degree of freedom which wiring pulls out serves as increase and structure which is multilayered and may be able to carry out the laminating of the IC chip further.

Moreover, dependability can be raised by using a conductive bump. That Cu, Zn, and Sb are blended can improve dependability further.

Furthermore, dependability can be raised by not making the Bahia hall into stack structure, or not preparing the external terminal of an opposite side directly under an external terminal, when an external terminal is prepared in both sides.

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 (A) is the sectional view showing the configuration of the multilayer printed wiring board concerning the 1st operation gestalt of this invention, and (B) is the sectional view showing the condition of having mounted IC chip in this multilayer printed wiring board.

[Drawing 2] It is the sectional view showing the condition of having carried IC module in the multilayer printed

wiring board shown in drawing 1 (B).

[Drawing 3] It is the production process Fig. of the one side circuit board which constitutes the multilayer printed wiring board shown in drawing 1.

[Drawing 4] It is the production process Fig. of the one side circuit board which constitutes the multilayer printed wiring board shown in drawing 1.

[Drawing 5] It is the production process Fig. of the one side circuit board which constitutes the multilayer printed wiring board shown in drawing 1.

[Drawing 6] It is the production process Fig. of the one side circuit board which constitutes the multilayer printed wiring board shown in drawing 1.

[Drawing 7] It is the production process Fig. of the multilayer printed wiring board shown in drawing 1.

[Drawing 8] It is the production process Fig. of the multilayer printed wiring board shown in drawing 1.

[Drawing 9] It is the production process Fig. of the multilayer printed wiring board concerning the example of the 1st alteration of the 1st operation gestalt.

[Drawing 10] It is the production process Fig. of the multilayer printed wiring board concerning the example of the 2nd alteration of the 1st operation gestalt.

[Drawing 11] (A) is the sectional view of the multilayer printed wiring board concerning the example of an alteration of the 1st operation gestalt, and (B) is a top view.

[Drawing 12] It is the sectional view of the multilayer printed wiring board concerning the example of an alteration of the 1st operation gestalt.

[Drawing 13] (A1), (B1), and (C1) expand and show the external terminal in drawing 2, and (A2), (B-2), and (C2) are the perspective views of (A1), (B1), and an inner (C1) external terminal.

[Drawing 14] (A) is the sectional view showing the Bahia hall of the example 1 of an alteration of the 1st example, (B) is the sectional view showing the Bahia hall of the example 2 of an alteration of the 1st example, and (C) is the sectional view showing the Bahia hall of the example 3 of an alteration of the 1st example.

[Drawing 15] (A), (B), and (C) are the explanatory views of the multilayer printed wiring board of the conventional technique.

[Drawing 16] It is the graph which compared the result of a continuity check in the example and the example of a comparison.

[Description of Notations]

10 Insulating Base Material

12 Copper Foil

16 Opening

17 Copper Plating

18 Bahia Hall

24 Solder Bump

26 Adhesives Layer

28 Conductor — Circuit

29 Tin Thin Film Layer

30 Copper Foil

32 Adhesives Layer

36 and 38 a conductor — circuit

40 42 Solder resist layer

44 46 Opening

52 Nickel Layer

54 Gold Layer

56 BGA

A One side circuit board

B One side circuit board

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 (A) is the sectional view showing the configuration of the multilayer printed wiring board concerning the 1st operation gestalt of this invention, and (B) is the sectional view showing the condition of having mounted IC chip in this multilayer printed wiring board.

[Drawing 2] It is the sectional view showing the condition of having carried IC module in the multilayer printed wiring board shown in drawing 1 (B).

[Drawing 3] It is the production process Fig. of the one side circuit board which constitutes the multilayer printed wiring board shown in drawing 1.

[Drawing 4] It is the production process Fig. of the one side circuit board which constitutes the multilayer printed wiring board shown in drawing 1.

[Drawing 5] It is the production process Fig. of the one side circuit board which constitutes the multilayer printed wiring board shown in drawing 1.

[Drawing 6] It is the production process Fig. of the one side circuit board which constitutes the multilayer printed wiring board shown in drawing 1.

[Drawing 7] It is the production process Fig. of the multilayer printed wiring board shown in drawing 1.

[Drawing 8] It is the production process Fig. of the multilayer printed wiring board shown in drawing 1.

[Drawing 9] It is the production process Fig. of the multilayer printed wiring board concerning the example of the 1st alteration of the 1st operation gestalt.

[Drawing 10] It is the production process Fig. of the multilayer printed wiring board concerning the example of the 2nd alteration of the 1st operation gestalt.

[Drawing 11] (A) is the sectional view of the multilayer printed wiring board concerning the example of an alteration of the 1st operation gestalt, and (B) is a top view.

[Drawing 12] It is the sectional view of the multilayer printed wiring board concerning the example of an alteration of the 1st operation gestalt.

[Drawing 13] (A1), (B1), and (C1) expand and show the external terminal in drawing 2, and (A2), (B-2), and (C2) are the perspective views of (A1), (B1), and an inner (C1) external terminal.

[Drawing 14] (A) is the sectional view showing the Bahia hall of the example 1 of an alteration of the 1st example, (B) is the sectional view showing the Bahia hall of the example 2 of an alteration of the 1st example, and (C) is the sectional view showing the Bahia hall of the example 3 of an alteration of the 1st example.

[Drawing 15] (A), (B), and (C) are the explanatory views of the multilayer printed wiring board of the conventional technique.

[Drawing 16] It is the graph which compared the result of a continuity check in the example and the example of a comparison.

[Description of Notations]

10 Insulating Base Material

12 Copper Foil

16 Opening

17 Copper Plating

18 Bahia Hall

24 Solder Bump

26 Adhesives Layer

28 Conductor — Circuit

29 Tin Thin Film Layer

30 Copper Foil

32 Adhesives Layer

36 and 38 a conductor — circuit

40 42 Solder resist layer

44 46 Opening

52 Nickel Layer

54 Gold Layer

56 BGA

A One side circuit board

B One side circuit board

[Translation done.]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-265955

(P2004-265955A)

(43) 公開日 平成16年9月24日(2004.9.24)

(51) Int. Cl. 7

F 1

テーマコード (参考)

H 0 1 L 25/10

H 0 1 L 25/14

Z

5 E 3 4 6

H 0 1 L 23/12

H 0 1 L 23/12

5 O 1 W

H 0 1 L 25/11

H 0 5 K 3/46

N

H 0 1 L 25/18

H 0 5 K 3/46

Q

H 0 5 K 3/46

H 0 5 K 3/46

U

審査請求 未請求 請求項の数 8 O L (全 31 頁)

(21) 出願番号 特願2003-49252 (P2003-49252)

(22) 出願日 平成15年2月26日 (2003.2.26)

(71) 出願人 000000158

イビデン株式会社

岐阜県大垣市神田町2丁目1番地

(74) 代理人 100095795

弁理士 田下 明人

(74) 代理人 100098567

弁理士 加藤 壯祐

(72) 発明者 刈谷 隆

岐阜県揖斐郡揖斐川町北方1-1 イビデン株式会社内

(72) 発明者 津田 明克

岐阜県揖斐郡揖斐川町北方1-1 イビデン株式会社内

最終頁に続く

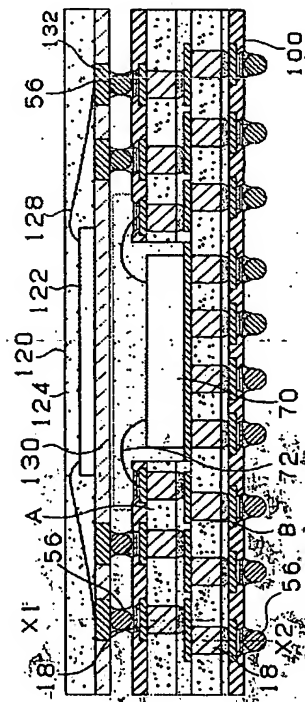
(54) 【発明の名称】 多層プリント配線板

(57) 【要約】

【課題】 構造的にも容易に多層化でき、設計などの仕様変更に対応できる多層プリント配線板を提供する。

【解決手段】 片面回路基板A、Bからなり、ICチップ70を収容する多層プリント配線板100は、表面及び裏面にBGA56が配置され、表面のBGA56を介してICモジュール120を実装した状態で、裏面のBGA56を介してプリント配線板に接続することができる。このため、実装されるICモジュールの形態の自由度が増し、種々のICモジュールを搭載することができる。

【選択図】 図2



(2)

【特許請求の範囲】

【請求項1】

電子部品が実装され、外部端子を有する多層プリント配線板において、前記外部端子を両面に配置したことを特徴とする多層プリント配線板。

【請求項2】

電子部品が実装され、外部端子を有する多層プリント配線板において、実装エリアに電子部品を収容するザグリを設け、前記外部端子を両面に配置したことを特徴とする多層プリント配線板。

【請求項3】

前記片面の外部端子の直下から外して、前記反対面の外部端子を配置したことを特徴とする請求項1又は2に記載の多層プリント配線板。

【請求項4】

前記外部端子は、スタック状のバイアホールに接続され、かつ、外部端子に接続されるバイアホールは、隣接層のバイアホールと中心線をずらして配置されていることを特徴とする請求項1～3のいずれか1に記載の多層プリント配線板。

【請求項5】

前記多層プリント配線板は、絶縁材料に形成された非貫通孔に導電性材料が充填されて成る片面もしくは両面回路基板を積層することで形成されていることを特徴とする請求項1～4のいずれか1に記載の多層プリント配線板。

【請求項6】

前記片面もしくは両面回路基板は、非貫通孔に充填された導電性材料上に形成された導電性バンプを介して相互に接続されていることを特徴とする請求項5の多層プリント配線板。

【請求項7】

前記電子部品の実装領域には、ビアが形成され、近接する部分に放熱機能を有する金属層が形成されていることを特徴とする請求項1～6のいずれか1に記載の多層プリント配線板。

【請求項8】

前記外部端子は、BGAであることを特徴とする請求項1～6のいずれか1に記載の多層プリント配線板。

【発明の詳細な説明】

【0001】

本発明は、ICチップなどの電子部品を実装する多層プリント配線板に関し、特に、ICチップを多層化することができ、かつ、応力などの影響を受けることのない多層プリント配線板に関するものである。

【0002】

【従来の技術】

片面に導体層を有し、IVH（インナーバイアホール）構造からなる絶縁基板を多層化した技術が、提案されている（例えば、特開平10-13028号など）。それらは、一方の絶縁基板の導体層と他方の絶縁基板のバイアホールとを接続させることにより、電氣的に接続を行うものである。外層の導体回路土にはICチップ、コンデンサなどの電気部品を適時実装させることにより、その機能を発揮させる。

【0003】

【特許文献1】

特開平10-13028号公報

【0004】

【発明が解決しようとする課題】

ICチップを実装した基板の薄膜化、高機能化が要求されている。その理由として、例えば、携帯電話、カメラ、パソコンなどの電子製品の筐体が、小型化、薄膜化していることにある。それらの筐体に収めるためには、すべての材料、部品を薄くし、かつ、機能を低

(3)

下させることがないようにしなければならない。そのため、ＩＣチップを多層化、積層（三次元実装）することを検討されている。その技術としては、ＩＣチップ上に直接ＩＣチップを実装して、多層化、即ち、下層ＩＣチップ上に、ダイボンディングして上層ＩＣチップを実装することで積層している。積層した各ＩＣチップはワイヤーボンディングを経て接続させている。それにより、同一面積下において、高密度化と共に小型化を実現できる。

【0005】

しかしながら、ＩＣチップを積層したものは、リペアすることができない。また、実装した後にワイヤーボンディングで接続を取るため、ワイヤーボンディングで接続を取った後でしかＩＣチップもしくは基板を検査することしかできない。そのために、ＩＣチップの内の１つでも不具合があると、実装された基板自体が使用することができないということになってしまう。

【0006】

さらに、積層した回路の下部もしくはＩＣチップ間には、回路を形成しておらず、配線の引き回しをすることができない。そのために、クロック数などの増加に伴い、配線長が長くなることとなる。設計変更や仕様変更の際には、適時実装形成を検討しなければならない。

【0007】

本発明は、上述した課題を解決するためになされたものであり、その目的とするところは、構造的にも容易に多層化でき、設計などの仕様変更能耐得る多層プリント配線板を提供することにある。

【0008】**【課題を解決するための手段】**

発明者が鋭意研究した結果、上記課題を解決するために、ＩＣチップなどの電子部品が実装され、外部端子を有する多層プリント配線板において、外部端子を両面に配置する構造を案出した。

【0009】

該多層プリント配線板の両面から外部端子を接続するパッドを有していることから、その両面に別のプリント配線板などを接続することが可能となる。例えば、表面の外部端子を介して他のＩＣモジュールを実装した状態で、裏面の外部端子を介してプリント配線板に接続することができる。また、実装されるＩＣモジュールの形態の自由度が増す。特に、ＩＣチップの直下にも外部端子が配設されていることが望ましい。それにより、配線の引き出す自由度が増すし、さらにＩＣチップの多層化、積層をすることをでき得る構造となる。配線面積を少なくするため、基板の小型化がなされる。

【0010】

また、別の見方をすれば、該多層プリント配線板に形成される回路は、該基板上に実装されたＩＣチップに接続させ外部へと引き出されている回路（ＰＧＫ回路）と、ＩＣモジュールに接続され該多層プリント配線板を介して外部へ引き出される回路（インターポーザ回路）との２種類が混在している。それらを適時効率よく、接続させるためには、両面に外部端子を形成させる方が望ましい。インターポーザとＰＫＧ基板との２つの役目を一枚の基板で果たすことができるのである。そのために、小型化、高機能化をすることができる。また、この場合、多層プリント配線板あるいは別の基板で不良を引き起こしたとしても、検査を行うことができ、多層プリント配線板に別の基板（ＩＣモジュール）を取り付ける前に対応できる。別の基板（ＩＣモジュール）を設計変更（例えば、メモリーであれば容量を変更した等の場合を意味する）したとしても、容易に適應することができる。

【0011】

また、本発明は、ＩＣチップなどの電子部品が実装され、外部端子を有する多層プリント配線板において、実装エリアにザグリを有し、前記外部端子を両面に配置することを技術的特徴とする。ここで、外部端子とは、ＢＧＡ、ＰＧＡ、パンプ（半田もしくは金属）などの外部へ接続し得る端子を意味する。

(4)

【0012】

ザグリが形成されていることから、その実装エリアにおける厚み（多層プリント配線板にICチップを実装した状態での厚み）を薄くすることができる。さらに、ICを多層化して実装しても封止樹脂を含めた基板自体の総厚みを薄くすることもできる。

【0013】

また、上記の両面構造によると、例えば、該多層プリント配線板の片面に、ICチップを実装したプリント配線板を接続し、その反対面には、コンデンサなどのICチップ以外の電子部品を実装した基板を接続させることができる。いわば、インターポーザ的な役目を果たすこともできる。両面に、ICチップなどを含んだプリント配線板を接続する場合は、スタック構造（三次元実装）となり得る。特に、ICチップの下部領域でも外部端子を形成することが可能となる。

【0014】

図13に示すように、外部端子56の直下には、反対面の外部端子56が重ならないことが望ましい。ここで、(A1)、(B1)、(C1)は、図2中の外部端子を拡大して示し、(A2)、(B2)、(C2)は、(A1)、(B1)、(C1)中の外部端子の斜視図である。この場合、外部端子が接触している領域の直下に、反対面の外部端子の接触している領域が重ならないことを意味している。それにより、外部端子に発生している応力などをダイレクトに伝わることを防止し、端子の位置ズレ、接触不良を防止し、電気的な接続や信頼性を低下させることがない。そもそも外部端子は、主としてBGA（ボールグリッドアレイ）、 bumps等であるために、導電性 bumpsなどの外部端子と比べると接続箇所が小さく、応力が集中し易い。また、他のプリント配線板との材料等の熱膨張率が異なると、熱が加わる（例えば、ヒートサイクル条件下）などの外的な要因によって応力が発生し、その応力が反対面の外部端子へ伝わるが、基板もしくは外部端子において応力が緩和される。そのために、反対面の外部端子への影響を受けない。逆に応力がダイレクトに伝わると、反対面の外部端子の接続部において、剥がれ、クラックや、外部基板との接触不良などの不具合を引き起こす。

また、片面の外部端子および外部端子のパット領域（ランドを含む場合もある）の直下には、反対面の外部端子が重ならないことが望ましい。外部端子のパットの下部にめっき、導電性ペーストなどの導電性材料を充填したときには、パット領域までは、その応力の影響を受けてしまうことがあり、その領域を外して、反対面の外部端子の接続領域を配設することにより、確実に応力の影響を受けなくする。

【0015】

電子部品の実装領域には、ビアが形成されていて、近接する部分に放熱機能を有する金属層が形成されていることが望ましい。特に、ICチップ直下に金属層を設けて、該金属層にビア（非貫通孔）を介して外部端子に接続させることが望ましい。その構成にすることにより、外部端子に接続されたプリント配線板側へ熱を効率よく伝達させ、放熱することができるのである。

【0016】

外部端子は、スタック状のバイアホールに接続され、かつ、外部端子に接続されるバイアホールは、図13中に示すように、隣接層のバイアホールと中心線(X1、X2)をずらして配置されることが望ましい。

スタック構造直上に、外部端子を形成したものであると、外部端子を起因として発生した応力が直接基板内に伝達されるのである。そのために、基板内もしくは反対面の外部端子へとその応力の影響を受けるのである。基板内であれば、スタックビアの接続を阻害するし、反対面の外部端子であれば、接続不良を引き起こしてしまうのである。しかしながら、バイアホールの中心線からずらして、スタック状にバイアホールを形成させると、その応力の伝達が緩衝されるのである。バイアホール内にめっき、導電性ペーストなどを充填したときに効力を発生する。導電性材料を充填させることで応力が伝わり易い状態になる。

【0017】

(5)

本発明の多層プリント配線板は、絶縁材料に形成された非貫通孔に導電性材料が充填されて成る片面もしくは両面回路基板を2層以上積層し構成することが最適である。製造方法としては、サブトラ法、アディティブ法（ビルドアップ法含む）でも行えることができる。しかしながら、サブトラ法では、2層以上を貫通するスルーホールを有する構造により外部端子を配置したのであるならば、応力を緩衝することができない。それ故に、適用することができない場合がある。また、ビルドアップ法であれば、心材が含有されない樹脂絶縁層を用いたならば、ザグリ部分を形成することは、樹脂絶縁材料での形状を安定化させることが難しいので、適用することができない場合がある。

【0018】

片面回路を用いることが望ましい。片面もしくは両面回路基板を接続させる導電性バンプの融点は、外部端子の接着剤（例えば、BGAの接着剤半田）の融点よりも高いことが望ましい。それにより、導電性バンプの溶解自体を防止することができるのである。その逆に、導電性バンプの融点が外部端子の接着剤の融点よりも低い場合、外部端子を実装する際、その温度では、導電性バンプがかなりの部分で溶解してしまうために、基板内で流動してしまう。流動する範囲が大きいと導電性バンプを原因として隣の導体層とショートを引き起こしてしまう。一方、流動する範囲が小さいと、基板間で応力が発生してしまう。その応力が緩和されないと位置ズレを引き起こされてしまう。そのために、導電性バンプの厚みが薄くなり、密着強度や電気特性が低下してしまう。

【0019】

特に、融点は200℃を以上、350℃以下であるものが望ましい。200℃未満では、表層の半田との融点の差が小さい、あるいは、低くなるために、ICチップを実装する際、溶解、拡散などを引き起こし、隣にある独立した導体回路と短絡してしまうことがある。350℃を超えると、金属自体が硬くなりすぎてしまい、接続性が低下する。そのために、導体回路との接合ができなくなってしまうことがある。また、その温度で融解しようとする、絶縁材料である樹脂が、溶解してしまうために、絶縁材料での絶縁性が低下してしまう。

さらに、220℃～320℃の範囲ものがより望ましい。その範囲であれば、高温高湿下、ヒートサイクル条件化などの信頼性試験においても、導電性バンプが拡散することがない。Sn/Pb、Sn/Ag、Sn/Cu、Sn/Zn、Sn/Sb、Sn/Ag/Cuなどの半田や、スズ、鉛などの金属を導電性バンプとして用いることができる。このとき融点が200℃以上350℃以下であることが望ましい。

【0020】

前述の導電性バンプ内にCu、ZnもしくはSbが配合されていることにより、金属自体の流動を抑えることができるのである。つまり、一旦再固化した金属にCu合金、Zn合金もしくはSb合金が形成される。その合金がICチップの実装時などの熱の影響を受けて溶解することを防止し、導電性金属の拡散などの不具合を抑えるのである。そのために、ショートすることがなくなり、電気特性を向上させることができるのである。

【0021】

また、ヒートサイクル試験、高温放置などの信頼性試験のとき、特に昇温時（低温⇒高温）あるいは高温下で放置させても、導電性金属の固化の再溶解することを抑制される。そのために信頼性試験も向上させることができる。

また、信頼性試験後の導体層とビアホールとの密着強度が低下しない。そのために、電気特性も低下することがなくなるので、電気特性を向上させることができる。さらにCu、ZnもしくはSb含有の導電性金属では金属自体の流動性が抑えられる。そのため、ビアホールピッチをさらに狭くすることができ、高密度化した多層プリント配線板を得ることが可能になる。

【0022】**（Cu含有金属バンプ）**

導電性バンプ内にCuが配合されていることにより、金属自体の拡散を抑えることができるのである。つまり、一旦固化した導電性バンプの金属にCu合金が形成される。その合

(6)

金が基板にかかる様々な熱履歴（例えば、アニール処理、めっき処理、ICチップ実装工程など）の影響を受けても金属溶解を防止し、導電性バンプ金属の拡散などの不具合を抑える。そのために、抵抗変化やショート、電気性能劣化を抑え、電気特性を向上させることができる。

【0023】

また、高温放置、ヒートサイクル試験などの信頼性試験のとき、特に高温下での放置あるいは昇温（低温⇒高温）させても、固化した導電性バンプの再溶解や拡散を抑制させる。

さらに、導電性バンプと導体部分の界面への水分の浸入を抑制させるので、界面における水分を起点とする膨張、収縮が発生することがなくなる。界面付近における部分的な電気的な絶縁状態（該水分が隙間を形成させることを意味する）を作り出さないの、電気的な接続性が確保される。そのために信頼性試験も向上させることができるのである。

さらに、信頼性試験後の導体層とパイアホールとの間には、水分が浸入しないことから密着強度が低下しない。水分が浸入すると、温度上昇した際、その水分が起点となり膨らむことがある。そのために、隙間を形成したり、クラックなどが発生したりしてしまい、密着性が低下してしまう。その発生がないために、接触性の低下による強度低下がなくなり、信頼性を向上させることができる。

さらにCu含有の導電性金属では金属自体の拡散性が抑えられる。そのため、パイアホールピッチをさらに狭くすることができるので、高密度化した多層プリント配線板を得ることが可能である。

【0024】

固化した導電性金属と導体回路との界面には、Cu-導電性金属からなる合金層が形成されている。その合金膜の形成が保護膜となり、該導電性金属のその他の部分の金属の流動を防止しているのである。また、その膜の形成により、熱履歴や熱工程などの熱の影響を受けたとしても、新たなCu合金の形成、特に導体回路での形成を防止されるので、導電性金属の流動を抑えられるのである。

【0025】

前述の導電性バンプには、Sn-Pb-Cu、Sn/Cu、Sn/Ag/Cu、Sn/Ag/In/Cu、Sn/Cu/Znのいずれか1つを用いられていることが望ましい。これらには、Cuが配合されているので、導電性バンプを用いることで上記作用、効果を得られる。

【0026】

また、鉛を用いる金属材料は、環境を悪化させる要因となるために、使用に対する制限がされているため、鉛を用いない金属材料を用いることが望ましい。しかしながらこれ以外の半田の組成であってもCuを配合されているものであれば用いることができるのである。前述の導電性バンプにおけるCuの配合比が0.1～7wt%であることが望ましい。

【0027】

0.1wt%未満であると、固化した後のCu合金の形成が少ないため、再溶解した際に、導電性バンプの流動を抑えられない。そのために隣り合う別の導体層とで接続が発生しやすい。また、導電性金属と導体回路の界面において、その一部分でCu合金膜が形成されない箇所が発生してしまう。そのCu合金膜非形成部分から、導電性金属の溶解、拡散が発生してしまう。7wt%を超えると、融点が高くなり、熱をかけたとしても溶解しにくくなる。そのために、導電性バンプ自体が硬くなってしまふ。導体層とパイアホールを接触させたとき、その硬くなってしまふので、導体部分において、接触しないことや導体にクラックが発生したりするために、電気接続性や密着性が低下してしまうことがある。

【0028】

上述の範囲であれば、導電性バンプでの流動性を抑えられ、適切にCu合金を形成させることができ、導体との密着性も確保することができるのである。

さらに、導電性バンプにおけるCuの配合比が0.5～5wt%であることが望ましいのは、もっとも密着強度が増すことができるのである。また、硬度的にも適度なものであり、導体間で均一に広がるので、電気接続性も向上させられる。さらに導電性

(7)

バンプを有しているパイアホールを埋めた導電性金属の種類（めっき、導電性ペースト、それらの複合体など）によらず、密着性を向上させることができる。

【0029】

（Zn含有金属バンプ）

導電性バンプ内にZnが配合されていることにより、金属自体の拡散を抑えることができる。つまり、一旦固化した導電性バンプの金属にZn合金が形成される。その合金が基板にかかる様々な熱履歴（例えば、アニール処理、めっき処理、ICチップ実装工程など）の影響を受けても金属溶解を防止し、導電性バンプ金属の拡散などの不具合を抑えるのである。そのために、抵抗変化やショート、電気性能劣化を抑え、電気特性を向上させることができる。

また、高温放置、ヒートサイクル試験などの信頼性試験のとき、特に高温下での放置あるいは昇温（低温⇒高温）させても、固化した導電性バンプの再溶解、拡散を抑制させられる。

さらに、導電性バンプと導体部分の界面へのZnもしくはZn合金層が導体回路の金属などの浸入を抑制する。つまり、Zn層がバリア層の役目を果たしているのである。その界面における異種物質が形成されると、その部分は他の部分と比較すると融点や熱膨張の異なるものが形成されるのである。そのためにその異種物質を起点とする膨張、収縮が発生してしまい、界面付近における部分的な応力が発生してしまうために、絶縁性が確保されないのである。そのために信頼性も低下してしまうのである。

さらに、信頼性試験後の導体層とパイアホールとの間には、水分が浸入しないことから密着強度が低下しない。水分が浸入すると、温度上昇した際、その水分が起点となり膨らむことがある。そのために、隙間を形成したり、クラックなどが発生したりしてしまい、密着性が低下してしまう。その発生がないために接触性低下による強度低下がなくなり、信頼性を向上させることができる。

さらにZn含有の導電性金属では金属自体の拡散性が抑えられる。融点が高くなりやすいからである。そのため、パイアホールピッチをさらに狭くすることができ、高密度化した多層プリント配線板を得ることが可能である。

【0030】

固化した導電性金属と導体回路との界面には、Zn-導電性金属からなる合金層が形成されている。その合金膜の形成が保護膜となり、該導電性金属のその他の部分の金属の流動を防止する。また、その膜の形成により、熱履歴や熱工程などの熱の影響を受けたとしても、新たなZn合金の形成、特に導体回路での形成を防止されるので、導電性金属の流動を抑えられる。

【0031】

前述の導電性バンプには、Sn/Zn、Sn/Ag/Zn、Sn/Cu/Znのいずれか1つを用いられていることが望ましい。これらには、Znが配合されているので、導電性バンプを用いることで上記作用、効果が得られる。

また、鉛を用いる金属材料は、環境を悪化させる要因となるために、使用に対する制限がされているため、鉛を用いない金属材料を用いることが望ましい。しかしながらこれ以外の半田の組成であってもZnを配合されているものであれば用いることができる。

【0032】

前述の導電性バンプにおけるZnの配合比が0.1～10wt%であることが望ましい。

0.1wt%未満であると、固化した後のZn合金の形成が少ないため、再溶解した際に、導電性バンプの流動を抑えられない。そのために隣り合う別の導体層とで接続が発生しやすい。また、導電性金属と導体回路の界面において、その一部分でZn合金膜が形成されない箇所が発生してしまう。そのZn合金膜非形成部分から、導電性金属の溶解、拡散が発生してしまう。

10wt%を超えると、融点が高くなり、熱をかけたとしても溶解しにくくなる。そのために、導電性バンプ自体が硬くなってしまい、導体層とパイアホールを接触させたとき、その硬くなってしまいうので、導体部分において、接触しないことや導体にクラックを発生

(8)

したりするために、電気接続性や密着性が低下してしまうことがある。

上述の範囲であれば、導電性バンプでの流動性を抑えられて、導体との密着性も確保することができるのである。さらに、導電性バンプにおけるZnの配合比が0.5～9wt%であることが望ましいのは、もっとも密着強度が増すことができるのである。また、硬度的にも適度なものであり、導体間で均一に広がることができるので、電気接続性も向上させることができる。さらに導電性バンプを有しているビアホールを埋めた導電性金属の種類（めっき、導電性ペースト、それらの複合体など）によらず、密着性を向上させることができる。

【0033】

また、アンチモンを含有したものを用いてもよい。その場合は、アンチモンが亜鉛を配合したときと同じ役目を果たしている。つまり、アンチモンがバリア層の役目を果たして、銅との合金層の形成を阻害しているのである。アンチモンの配合比は、0.1～10%であることが望ましい。0.1wt%未満であると、固化した後のアンチモン合金の形成が少ないため、再溶解した際に、導電性バンプの流動することを抑えられない。そのために隣り合う別の導体層との接続が発生しやすくなる。また、導電性金属と導体回路の界面において、その一部分でアンチモン合金膜が形成されない箇所が発生してしまう。そのアンチモン合金膜非形成部分から、導電性金属の溶解、拡散が発生してしまう。

10wt%を超えると、融点が高くなり、熱をかけたとしても溶解しにくくなる。そのために、導電性バンプ自体が硬くなってしまふ。導体層とビアホールを接触させたとき、その硬くなってしまふので、導体部分において、接触しないことや導体にクラックを発生したりするために、電気接続性や密着性が低下してしまうことがある。上述の範囲であれば、導電性バンプでの流動性を抑えて、導体との密着性も確保することができる。

【0034】

それ以外にもSn/Pb、Sn/Ag、Sn/Ag/Cu等の一般的に適用される半田ペーストもしくは導電性ペーストなどをを用いてもよい。

【0035】

（片面回路基板の概要説明）

本発明に係る多層プリント配線板を構成する基本単位としての片面回路基板は、絶縁性基材として、完全に硬化した樹脂材料から形成される硬質の樹脂基材を用いることが望ましい。このような樹脂材料の採用によって、樹脂基材上に導体回路を形成するための銅箔を加熱プレスによって圧着させる際に、プレス圧による絶縁性基材の最終的な厚みの変動がなくなるので、ビアホールの位置ずれを最小限度に抑えて、ビアランド径を小さくできる。したがって配線ピッチを小さくして配線密度を向上させることができる。また、基材の厚みを実質的に一定に保つことができるので、後述するような充填ビアホール形成用の開口をレーザ加工によって形成する場合には、そのレーザ照射条件の設定が容易となる。

【0036】

このような絶縁性樹脂基材として、ガラス布エポキシ樹脂基材、ガラス布ビスマレイミドトリアジン樹脂基材、ガラス布ポリフェニレンエーテル樹脂基材、アラミド不織布エポキシ樹脂基材、アラミド不織布ポリイミド樹脂基材から選ばれる硬質基材が使用されることが好ましく、ガラス布エポキシ樹脂基材が最も好ましい。それ以外にも、熱可塑性樹脂にポリイミドなどの熱硬化性樹脂、それらの複合体、感光性樹脂、光硬化性樹脂を用いてもよい。

【0037】

また、上記絶縁性基材の厚さは、20～600μmが望ましい。

その理由は、20μm未満の厚さでは、強度が低下して取扱いが難しくなるとともに、電氣的絶縁性に対する信頼性が低くなるからである。また、ザグりを形成させたときの形状保持性が低下してしまうときがあるからである。600μmを超えると、微細なビアホール形成用開口が難しくなると共に、基板そのものが厚くなるためである。

【0038】

(9)

上記絶縁性基材の片面に形成される導体層あるいは導体回路は、絶縁性基材上に適切な樹脂接着剤を介して銅箔を貼付し、その銅箔をエッチング処理することによってそれぞれ形成される。

【0039】

すなわち、上記導体層は、厚さが $5 \sim 50 \mu\text{m}$ の銅箔を、半硬化状態を保持された樹脂接着剤層を介して絶縁性基材上に加熱プレスすることによって形成し、また導体回路は、銅箔を加熱プレスした後、銅箔面に感光性ドライフィルムを貼付するか、液状感光性レジストを塗布した後、所定の配線パターンを有するマスクを載置し、露光・現像処理することによってめっきレジスト層を形成し、その後、エッチングレジスト非形成部分の銅箔をエッチング処理することによって形成されるのが望ましい。

【0040】

導体回路を形成させた後に、ルーター、レーザ、パンチングなどで開口を形成させる。その開口の大きさとして、個片である基板にした場合において、基板の面積に対して、 $10 \sim 70\%$ であることが望ましい。 10% 未満では、ザグリの形成領域が小さいために、形成するメリットが小さくなる。 70% を超えると、プレスなどにおける強度が保てないし、外部端子の形成する領域が小さくなるので、実装するICチップが制限される要因になってしまう。

【0041】

上記銅箔の絶縁性基材上への加熱プレスは、適切な温度および加圧力のもとで行なわれ、より好ましくは、減圧下において行なわれ、半硬化状態の樹脂接着剤層のみを硬化することによって、銅箔を絶縁性基材に対してしっかりと接着され得るので、従来のプリプレグを用いた回路基板に比べて製造時間が短縮される。

このとき、ザグりを形成した場合には、ザグリ部分を保護するためとその界面部分における接着剤の流動を防止するために、保護フィルムを用いるなどして行う方が望ましい。

【0042】

なお、このような絶縁性基材上への銅箔の貼付に代えて、絶縁性基材上に予め銅箔が貼付された片面銅張積層板を採用し、その片面銅張積層板を硫酸一過酸化水素、過硫酸塩、塩化第二銅、塩化第二鉄の水溶液から選ばれる少なくとも1種によりエッチング処理して導体回路を形成することもできる。

上記導体回路の各バイアホールに対応した表面には、導体回路の一部としてのランド（パッド）が、その口径が $50 \sim 250 \mu\text{m}$ の範囲に形成されるのが好ましい。

また、バイアホールをスタックで積層する場合には、バイアホールの中心線からずらして形成させるほうが望ましい。それにより、スタック構造で伝達される応力を緩衝することができるのである。

【0043】

上記導体回路の配線パターン表面に粗化層を形成し、回路基板相互を接合する接着剤層との密着性を改善し、剥離（デラミネーション）の発生を防止することが好ましい。

粗化処理方法としては、例えば、ソフトエッチング処理や、黒化（酸化）一還元処理、銅－ニッケル－リンからなる針状合金めっき（荏原ユーザライト製：商品名インタープレート）の形成、メック社製の商品名「メックエッチボンド」なるエッチング液による表面粗化がある。

【0044】

このような導体回路が形成された絶縁性樹脂基材の表面と反対側の表面から、導体回路に達するように形成されるバイアホール形成用開口は、パルスエネルギーが $0.5 \sim 100 \text{ mJ}$ 、パルス幅が $1 \sim 100 \mu\text{s}$ 、パルス間隔が 0.5 ms 以上、ショット数が $3 \sim 50$ の条件で照射される炭酸ガスレーザによって形成されることが好ましく、その開口径は、 $50 \sim 250 \mu\text{m}$ の範囲であることが望ましい。

その理由は、 $50 \mu\text{m}$ 未満では開口に導電性物質を充填し難くなると共に、接続信頼性が低くなるからであり、 $250 \mu\text{m}$ を超えると、高密度化が困難になるからである。

【0045】

(10)

このような炭酸ガスレーザによる開口形成の前に、絶縁性基材の導体回路形成面と反対側の面に樹脂フィルムを粘着させ、その樹脂フィルム上からレーザ照射を行うのが望ましい。

【0046】

この樹脂フィルムは、バイアホール形成用の開口内をデスマア処理し、そのデスマア処理した後の開口内に電解めっき処理によって金属めっきを充填する際の保護マスクとして機能し、またバイアホールの金属めっき層の直上に突起状導体（導電性パンプ）を形成するための印刷用マスクとして機能する。

【0047】

上記樹脂フィルムは、たとえば、粘着剤層の厚みが1～20 μ mであり、フィルム自体の厚みが10～50 μ mであるPETフィルムから形成されるのが好ましい。

その理由は、PETフィルムの厚さに依存して後述する突起状導体の高さが決まるので、10 μ m未満の厚さでは突起状導体が低すぎて接続不良になりやすく、逆に50 μ mを超えた厚さでは、接続界面で突起状導体がはがりすぎるので、ファインパターン形成ができないからである。

【0048】

上記バイアホール形成用開口内に導電性物質を充填してバイアホールを形成するには、めっき充填や導電性ペースト充填が望ましい。

充填工程をシンプルにして、製造コストを低減させ、歩留まりを向上させるためには、導電性ペーストの充填が適しているが、ペースト内の組成比（導電性金属、樹脂、硬化剤など）によっては硬化収縮が大きくなりすぎてしまうことがある。それよりも充填したときの形状や接続信頼性の点ではめっき充填が望ましい。

【0049】

上記めっき充填は、電解めっき処理または無電解めっき処理のいずれによっても行うことができるが、電解めっき処理によって形成される金属めっき、たとえば、すず、銀、半田、銅／すず、銅／銀等の金属めっきが好ましく、とくに、電解銅めっきが最適である。

【0050】

電解めっき処理により充填する場合は、上記絶縁性基材の銅箔貼付面（導体回路形成面）に予め保護フィルムを粘着させた状態で、絶縁性基材に形成された銅箔をめっきリードとして電解めっきを行う。この銅箔（金属層）は、絶縁性基材の一方の表面の全域に亘って形成されているため、電流密度が均一となり、バイアホール形成用開口を電解めっきにて均一な高さで充填することができる。

ここで、電解めっき処理の前に、非貫通孔内の金属層の表面を酸などで活性化処理しておくといよい。

【0051】

また、電解めっきした後、開口縁から盛り上がった電解めっき（金属）を、ベルトサンダー研磨やバフ研磨等により除去して、平坦化することが望ましい。

【0052】

さらに、めっき処理による導電性物質の充填の代わりに、導電性ペーストを充填する方法、あるいは電解めっき処理又は無電解めっき処理によって開口の一部を充填し、残存部分に導電ペーストを充填して行うこともできる。

上記導電性ペーストとしては、銅、スズ、金、銀、ニッケル、各種半田から選ばれる少なくとも1種以上の金属粒子からなる導電性ペーストを使用できる。

【0053】

また、上記金属粒子としては、金属粒子の表面に異種金属をコーティングしたものも使用できる。具体的には銅粒子の表面に金、銀から選ばれる貴金属を被覆した金属粒子を使用することができる。

【0054】

なお、導電性ペーストとしては、金属粒子に、エポキシ樹脂などの熱硬化性樹脂、ポリフェニレンスルフィド（PPS）樹脂を加えた有機系導電性ペーストが望ましい。

(11)

【0055】

上記レーザ加工によって形成された開口は、その孔径が $20 \sim 150 \mu\text{m}$ の微細径であるため、導電ペーストを充填する場合には、気泡が残り易いので、電解めっきによる充填が実用的である。

【0056】

上述した片面回路基板に形成されるバイアホールは、その配置密度が、LSIチップ等を搭載すべく外側に積層された片面回路基板については最も大きく、マザーボードに接続されるべく外側の他の片面回路基板については最も小さくなるように形成される、すなわち、積層される各回路基板に形成されるバイアホール間の距離は、LSIチップ等を搭載する側の回路基板からマザーボードに接続される側の回路基板に向かうにつれて大きくなるように形成されることが好ましく、このような構成によれば、配線の引き回し性が向上する。

【0057】

本発明による多層プリント配線板を製造する上で、積層される基本単位となる片面回路基板には、バイアホール上に突起状導体、すなわち導電性バンプを設けて、他の片面回路基板との電氣的接続を確保するように構成することが望ましい。

この導電性バンプは、レーザ照射によって形成された保護フィルムの開口内に、めっき充填または導電性ペーストを充填することによって形成されることが望ましい。

【0058】

上記めっき充填は、電解めっき処理または無電解めっき処理のいずれによっても行うことができるが、電解めっき処理が望ましい。

電解めっきとしては、銅、金、ニッケル、スズ、各種半田等の低融点金属を使用できるが、スズめっき又は半田めっきが最適である。

【0059】

上記導電性バンプの高さとしては、 $3 \sim 60 \mu\text{m}$ の範囲が望ましい。この理由は、 $3 \mu\text{m}$ 未満では、バンプの変形により、バンプの高さのばらつきを許容することができず、また、 $60 \mu\text{m}$ を越えると抵抗値が高くなる上、バンプを形成した際に横方向に拡がってショートの原因となるからである。

【0060】

上記導電性バンプを導電性ペーストの充填によって形成する場合には、バイアホールを形成する電解めっきの高さのばらつきは、充填される導電性ペースト量を調整することにより是正され、多数の導電性バンプの高さを揃えることができる。

この導電性ペーストからなるバンプは、半硬化状態であることが望ましい。導電性ペーストは、半硬化状態でも硬く、熱プレス時に軟化した有機接着剤層を貫通させることができるからである。また、熱プレス時に変形して接触面積が増大し、導通抵抗を低くすることができるだけでなく、バンプの高さのばらつきを是正することができるからである。

【0061】

この他に、例えば、導電性ペーストを所定位置に開口の設けられたメタルマスクを用いてスクリーン印刷する方法、低融点金属である半田ペーストを印刷する方法の他、半田浴融液に浸漬する方法、無電解もしくは電解めっきによって導電性バンプを形成することができる。

上記低融点金属としては、Sn-Ag系、Sn-Sb系半田、Sn-Pb系半田、Sn-Zn系半田、Sn-Pb-Cu系半田、Sn-Cu系半田、Ag-Sn-Cu系半田、In-Cu系半田、Sn-Cu-Zn等のCuを配合したものをを用いることがよい。具体的なものとしては、Sn/Pb/Cu、Sn/Cu、Sn/Ag/Cu、Sn/Ag/In/Cu、Sn/Cu/Zn、Sn/Zn、Sn/Sb、Sn/Sb/In、あるいはスズ、鉛等の金属が挙げられる。基本的には、半田内にCu、ZnあるいはSbが配合されたものをを用いることが望ましい。導電性ペーストの流動性を抑えることができ、高温高湿条件下やヒートサイクル条件下などの信頼性試験においても他のものよりも電氣的な接続性や信頼性で優れているのである。

(12)

【0062】

本発明にかかる多層プリント配線板は、上述したような、絶縁性基材の片面に導体回路が形成されてなる片面回路基板の複数枚が、所定の方向に積層されてなり、それらの片面回路基板のうち、内側に配置された片面回路基板の導電性バンプ側の表面に対して、一面がマット処理されてなる銅箔が、そのマット面を対向させた状態で圧着され、かつエッチング処理によって所定の配線パターンを有する導体回路に形成されている。

【0063】

上記銅箔のマット面は、それ自体公知であるエッチング処理や、無電解めっき処理、酸化還元処理等によって形成することが望ましく、特に、エッチング処理によって形成することが望ましい。

上記エッチング処理としては、塩化第二銅、塩化第二鉄、過硫酸塩類、過酸化水素／硫酸、アルカリエッチャント、有機酸と第二銅錯体等の薬液を主剤としたエッチング液があり、

上記無電解めっき処理としては、銅、ニッケル、アルミなどの単層の無電解めっき、置換めっき、銅－ニッケル－リンなどの複合めっきなどがあり、

上記酸化還元処理としては、黒化浴とナトリウムなどのアルカリ浴である還元浴で行う処理がある。

【0064】

上記マット処理された銅箔と絶縁性樹脂基材との間の密着性は、樹脂粘度や、銅箔の厚さ、加熱プレス圧等によっても異なるが、絶縁性樹脂基材が硬質の樹脂基材であり、銅箔の厚さが、 $5 \sim 50 \mu\text{m}$ の範囲である場合には、銅箔のマット面の粗面度は、 $0.1 \sim 5 \mu\text{m}$ の範囲であり、温度は、 $120 \sim 250^\circ\text{C}$ で、加熱プレス圧は、 $1 \sim 10 \text{Mpa}$ の範囲であり、その結果としてのピール強度は、 $0.6 \sim 1.4 \text{Kg/cm}^2$ の範囲であることが望ましい。

【0065】

上記銅箔のマット面は、片面回路基板の導電性バンプ側の面だけでなく、その面から突出する導電性バンプに対しても圧着されるので、その銅箔をエッチング処理して形成される導体回路と導電性バンプ側の面との間およびその導体回路と導電性バンプとの間の接合性が向上する。

【0066】

一般的に、片面回路基板を同一方向に多層に積層する場合には、めっき液や洗浄液などに浸漬した後、乾燥やアニールなどの加熱工程を繰り返すため、金属層である導体回路が存在しない部分に加わる応力が緩衝されないために、基板自体が反ってしまい、そのために、導体回路の破断、断線、バイアホール部分での接続不良や充填金属の剥離などが発生してしまい、電気接続性と信頼性に低下を引き起こしてしまうことがある。

【0067】

しかしながら、本願発明のように、同一方向に積層された複数の片面回路基板と銅箔とを加熱プレスによって一体化した後に、銅箔をエッチング処理して導体回路を形成し、その導体回路形成面に対して、上記方向とは反対方向に他の片面回路基板を積層して加熱プレスによって一体化される。

この場合には、より内側に位置する片面回路基板の導電性バンプ側の面に対して銅箔のマット面が圧着され、その銅箔をエッチング処理して形成した導体回路は、それに対して積層される他の片面回路基板の導電性バンプに接合されるべき導体パッドを少なくとも有する所望の配線パターンに形成することができる。

【0068】

したがって、基板の導電性バンプ側の面に対する導体回路のピール強度やプル強度が十分に確保され、加熱プレスによるバイアホールに対する導体パッドの位置ずれを防止することができるので、確実な電氣的接続を行うことができる。

【0069】

また、この場合には、加熱プレスを2回行うことが望ましい。正確なスケールファクター

(13)

を必要とするが、高いピール強度やプル強度を得ることができる。

【0070】

上記導体回路を形成する銅箔のマット面に対して、スズ、亜鉛、ニッケル、リンから選ばれる少なくとも1種類の保護膜または金や白金等の貴金属からなる保護膜を被覆形成してもよい。

このような保護膜の膜厚は、0.01～3 μ mの範囲が望ましい。その理由は、0.01 μ m未満では、マット面の微細な凹凸を完全に被覆できないことがあり、3 μ mを越えると、形成したマット面の凹部に保護膜が充填されて、マット処理効果が相殺されてしまうことがあるからである。特に好ましい膜厚は、0.03～1 μ mの範囲である。

【0071】

上記保護膜のうち、スズからなる保護膜は、無電解置換めっきによって析出する薄膜層として形成でき、マット面との密着性にも優れることから、最も有利に適用することができる。

【0072】

このような含スズめっき膜を形成するための無電解めっき浴は、ホウフッ化スズ-チオ尿素液または塩化スズ-チオ尿素液を使用し、そのめっき処理条件は、20℃前後の室温において約5分とし、50℃～60℃程度の高温において約1分とすることが望ましい。

このような無電解めっき処理によれば、銅パターンの表面にチオ尿素の金属錯体形成に基づく銅-スズ置換反応が起き、スズ薄膜層が形成される。銅-スズ置換反応であるため、凹凸形状を破壊することなくマット面を被覆できる。

【0073】

また、スズ等の金属に代えて使用することができる貴金属は、金あるいは白金であることが望ましい。これらの貴金属は、銀などに比べて粗化处理液である酸や酸化剤に冒されにくく、またマット面を容易に被覆できるからである。ただし、貴金属は、コストが嵩むために、高付加価値製品にのみ使用されることが多い。このような金や白金の被膜は、スパッタ、電解あるいは無電解めっきにより形成することができる。

【0074】

このような被覆層を設けることによって、マット面の濡れ性が均一となり、バイアホールに対応して形成された導電性バンプとの接合性が向上させるだけでなく、樹脂絶縁層を構成する芯材に含浸されている樹脂との接合性も向上させることができるため、電気的接続性と接続信頼性が大幅に改善される。

【0075】

上記積層・加熱プレスにより形成された多層プリント配線板は、外側の回路基板の表面を覆ってソルダーレジスト層を設けることができる。

そのソルダーレジスト層は、主として熱硬化性樹脂や感光性樹脂から形成され、回路基板上のバイアホール位置に対応した個所に開口が形成され、その開口から露出する導体回路（導体パッド）上に外部端子である半田バンプや、半田ボール、T形の導電性ピン等の半田体が形成される。外部端子は、両面に形成されるのである。

【0076】

また、外側に位置する回路基板のうち、マザーボードに接続される側にある下層にある他の回路基板については、バイアホールの直上に位置して、たとえば、42アロイやリン青銅等の金属材料から形成されたT形の導電性ピンや、たとえば、金、銀、半田等の金属材料から形成された導電性ボールを設けることができる。

【0077】

【発明の実施の形態】

【実施形態】

まず、本発明の実施形態に係る片面回路基板を積層してなる多層プリント配線板の構成について図1及び図2を参照して説明する。

図1（A）は、パッケージ基板を構成する多層プリント配線板100の構成を示し、図1（B）は該多層プリント配線板100にICチップ70を実装した状態を示している。図1

(14)

2は、ICチップ70を実装した多層プリント配線板100にICモジュール120を積層した状態を示している。

【0078】

図1(A)に示すように多層プリント配線板100は、2層の片面回路基板A、片面回路基板Bを積層して成る。上層の片面回路基板Aの中央部には、ICチップを収容するための開口(ザグリ部)10aが形成されている。片面回路基板Aの上面には、導体回路36が形成されており、該導体回路36上にICモジュール接続用のBGA56が配置されている。また、該導体回路36下に、絶縁性基材10を貫通する開口16にパイアホール18が形成されている。パイアホール18の下端には、下層の片面回路基板Bの導体回路28と接続するための半田パンプ24が配置されている。該片面回路基板Aと、下層の片面回路基板Bとは、接着剤層26を介して接続されている。下層の片面回路基板Bの上面中央には、ICチップ70の放熱のための金属層28aが設けられている。金属層28aの下方には、放熱用のパイアホール18aが設けられている。下層の片面回路基板Bの上面の導体回路28の下方には、回路接続用のパイアホール18が設けられている。下層の片面回路基板Bの半田パンプ24には、導体回路38が接続され、該導体回路38には、BGA56が取り付けられている。なお、片面回路基板Aの上面及び片面回路基板Bの下面にはソルダーレジスト層40が被覆されている。

【0079】

図1(B)に示すように、多層プリント配線板100の開口10a内であって、上記金属層28aの上には、ICチップ70が収容される。ICチップ70は、ワイヤー72により、多層プリント配線板側の導体回路(パッド)36pと接続が取られる。該ICチップ70と開口10aには、樹脂74によりモールドがなされている。

【0080】

図2に示すように、多層プリント配線板100の表面側のBGA56には、端子132を介してICモジュール120が接続される。一方、多層プリント配線板の裏面側のBGA56は、図示しないプリント配線板等に接続される。ICモジュール120は、端子板130上に載置されたICチップ122を樹脂124でモールドしてなり、ICチップ122と端子板130の端子132とは、ワイヤー128でボンディング接続されている。

【0081】

第1実施形態の多層プリント配線板100は、表面及び裏面にBGA56が配置されているため、その両面に別のプリント配線板などを接続することが可能となる。例えば、表面のBGA56を介してICモジュール120を実装した状態で、裏面のBGA56を介してプリント配線板に接続することができる。また、実装されるICモジュールの形態の自由度が増す。

【0082】

また、別の見方をすれば、該多層プリント配線板に形成される回路は、該基板上に実装されたICチップ70に接続させ外部へと引き出されている回路(PKG回路)と、ICモジュール120に接続され該多層プリント配線板を介して外部へ引き出される回路(インターポーザ回路)との2種類が混在している。インターポーザとPKG基板の役目を一枚で果たすことができ、小型化、高機能化を可能にする。また、この場合、多層プリント配線板100あるいはICモジュール120で不良を引き起こしたとしても、多層プリント配線板にICモジュール120を取り付ける前に対応できる。ICモジュール120を設計変更(例えば、メモリーであれば容量を変更した等の場合を意味する)したとしても、容易に適応することができる。

【0083】

ザグリ10aが形成されていることから、その実装エリアにおける厚み(多層プリント配線板100にICチップ70を実装した状態での厚み)を薄くすることができる。さらに、ICを多層化して実装しても封止樹脂を含めた基板自体の総厚みを薄くすることもできる。

【0084】

(15)

第1実施形態では、表面のBGA56およびパッド36pの直下には、裏面のBGA56が重ならないように配置されている。即ち、図2の一部を拡大して示す図13中に示すように、BGA56を取り付けるバイアホール18の中心線X1と、裏面のBGA56を取り付けるバイアホール18の中心線X2とがずれるように配置されている。即ち、表面のBGA56およびパッドの接続領域の直下に、裏面のBGA56の接続領域が重ならないように配置されている。BGA56は、導電性接続ピン等の外部端子に比べると接続箇所が小さく、応力が集中しやすい。また、他のプリント配線板との材料等の熱膨張率が異なると、熱が加わるなどの外的な要因により応力が発生し、その応力が、外部端へと伝達されるからである。そのために、発生した応力が基板にも伝えられる。このとき、両面のBGA56が重なり合うように形成されていれば、応力が反対面へ伝わる。そのために、反対面での接続不良を引き起こすことがある。しかしながらBGA56が重なっていないと、その応力が緩衝されるので、接続に不具合を引き起こしにくくなるのである。

【0085】

第1実施形態では、ICチップ122は発熱量の小さいメモリであり、ICチップ70は発熱量の多いロジックICである。このICチップ70の直下に金属層28aを設けて、該金属層28aにバイアホール18aを介してBGA56に接続させる。その構成にすることにより、BGA56に接続されたプリント配線板側へ熱を効率よく伝達させ、放熱することができるのである。

【0086】

図11(A)は、第1実施形態の改変例に係る多層プリント配線板の断面図であり、図11(B)は平面図である。この改変例では、パッド36pが千鳥状に配置されている。

【0087】

図12は、第1実施形態の改変例に係る多層プリント配線板の断面図である。この改変例のように、ICチップ122Aの上に、スタック状にICチップ122Bを載置することも可能である。

【0088】

以下、本発明にかかる多層プリント配線板を製造する方法の一例について、添付図面を参照にして具体的に説明する。

(1) 本発明にかかる多層プリント配線板を製造するに当たって、それを構成する基本単位としての片面回路基板10Aは、絶縁性基材10の片面に銅箔12が貼付けられたものを出発材料として用いる(図3(A))。

【0089】

この絶縁性基材は、たとえば、ガラス布エポキシ樹脂基材、ガラス布ビスマレイミドトリアジン樹脂基材、ガラス布ポリフェニレンエーテル樹脂基材、アラミド不織布エポキシ樹脂基材、アラミド不織布ポリイミド樹脂基材から選ばれる硬質な積層基材が使用され得るが、ガラス布エポキシ樹脂基材が最も好ましい。

【0090】

上記絶縁性基材10の厚さは、 $20 \sim 600 \mu\text{m}$ が望ましい。その理由は、 $20 \mu\text{m}$ 未満の厚さでは、強度が低下して取扱が難しくなるとともに、電氣的絶縁性に対する信頼性が低くなり、 $600 \mu\text{m}$ を超える厚さでは微細なバイアホールの形成および導電性ペーストの充填が難しくなるとともに、基板そのものが厚くなるためである。

【0091】

また銅箔12の厚さは、 $5 \sim 18 \mu\text{m}$ が望ましい。その理由は、後述するようなレーザ加工を用いて、絶縁性基材にバイアホール形成用の開口を形成する際に、薄すぎると貫通してしまうからであり、逆に厚すぎるとエッチングにより、微細な線幅の導体回路パターンを形成し難いからである。

【0092】

上記絶縁性基材10および銅箔12としては、特に、エポキシ樹脂をガラスクロスに含浸させてBステージとしたプリプレグと、銅箔とを積層して加熱プレスすることにより得られる片面銅張積層板を用いることが好ましい。その理由は、銅箔がエッチングされた後の

(16)

取扱中に、配線パターンやパイアホールがずれることがなく、位置精度に優れるからである。

【0093】

(2) 次に、絶縁性基材の銅箔が貼付けられた表面と反対側の表面に、透明な保護フィルム14を貼付ける(図3(B))。

この保護フィルム14は、粘着剤層の厚みが1~20 μ m、フィルム自体の厚みが10~50 μ mであるようなポリエチレンテレフタレート(PET)フィルムが使用される。

【0094】

(3) 次いで、絶縁性基材上に貼付けられたPETフィルム14上から炭酸ガスレーザー照射を行って、PETフィルムを貫通して、絶縁性基材10の表面から銅箔(あるいは導体回路パターン)12に達する開口16を形成する(図3(C))。

このレーザー加工は、パルス発振型炭酸ガスレーザー加工装置によって行われ、その加工条件は、パルスエネルギーが0.5~100mJ、パルス幅が1~100 μ s、パルス間隔が0.5ms以上、ショット数が3~50の範囲内であることが望ましい。

このような加工条件のもとで形成され得るビア形成用開口16の口径は、50~250 μ mであることが望ましい。

なお、上記保護フィルムは、後述するような半田バンプを導電性ペーストの印刷によって形成する場合には、その印刷用マスクとして使用され得る。この場合、半田として、Cu、ZnもしくはSnが配合されたものを用いることが望ましい。Sn/Pbと比較すると融点が高いこととペースト自体の流動性が小さいことから、隣り合う別の導体回路とのショート(短絡)を引き起こしにくい。そのため、電気接続性や信頼性が向上されるからである。しかしながら、Sn/Pb、Sn/Agなどの一般的に用いられている半田ペーストや銅、金などの金属粒子からなる導電性ペーストを用いてもよい。

【0095】

(4) 前記(3)の工程で形成された開口16の側面および底面に残留する樹脂残滓を除去するために、デスミア処理を行う。

このデスミア処理は、酸素プラズマ放電処理、コロナ放電処理、紫外線レーザー処理またはエキシマレーザー処理等の乾式処理によって行われることが望ましい。

【0096】

(5) 次に、デスミア処理した基板10の銅箔12面に対して、めっき保護フィルムとしてのPETフィルム15を貼付した後(図3(D))、銅箔12をめっきリードとする電解銅めっき処理を施して、開口内に電解銅めっきを充填して、充填パイアホール18を形成する(図3(E))。

なお、電解銅めっき処理の後、基板に貼付したPETフィルム15を剥離させ、開口の上部に盛り上がった電解銅めっきを、ベルトサンダー研磨やバフ研磨等によって除去して平坦化させてもよい(図4(A))。

【0097】

(6) 上記(5)の電解銅めっき処理を施した後、銅めっき18をめっきリードとする電解半田。めっき処理を施して、電解半田めっきからなる突起状導体、すなわち、導電性バンプ24を電解銅めっき18表面から僅かに突出するように形成する(図4(B))。このとき形成した導電性バンプは、Sn/Cu(97:3)で形成した。

【0098】

(7) 次いで、絶縁性基材10の導電性バンプ24を含んだ表面に樹脂接着剤を塗布して接着剤層26を形成した後、絶縁性基材10の銅箔12上に貼付したPETフィルムを剥離させる(図4(C))。

このような樹脂接着剤は、例えば、絶縁性基材の導電性バンプを含んだ表面全体または導電性バンプを含まない表面に塗布され、乾燥化された状態の未硬化樹脂からなる接着剤層として形成される。この接着剤層は、取扱が容易になるため、プレキュアしておくことが好ましく、その厚さは、5~50 μ mの範囲が望ましい。

【0099】

(17)

前記接着剤層は、有機系接着剤からなることが望ましく、有機系接着剤としては、エポキシ樹脂、ポリイミド樹脂、熱硬化型ポリフェノレンエーテル（PPE）、エポキシ樹脂と熱可塑性樹脂との複合樹脂、エポキシ樹脂とシリコン樹脂との複合樹脂、BTレジンから選ばれる少なくとも1種の樹脂であることが望ましい。

有機系接着剤である未硬化樹脂の塗布方法は、カーテンコータ、スピンコータ、ロールコータ、スプレーコート、スクリーン印刷などを使用できる。また、接着剤層の形成は、接着剤シートをラミネートすることによってもできる。

【0100】

このとき、2種類の片面回路基板を作成する。

1つは、基板にルーターやパンチング等により、開口10aを有する片面回路基板（以下片面回路基板Aと称する）である（図4（D））。

もう一つは、開口を有さない後述する片面回路基板（以下片面回路基板Bと称する）である。

【0101】

上記（1）～（7）の工程にしたがって作製された片面回路基板Aは、ルーター、パンチング、レーザ等により、基板内に開口を有するものを形成する。形成するエリアは実装するICチップの面積の3%以上の面積で形成される。2%未満では、ICチップのアライメント等の不可避的な位置ズレに対する許容がなくなるため、ICチップを実装することができないからである。また、実装するために領域も確保されないからである。

絶縁性基材の一方の表面に導体層としての銅箔を有し、他方の表面から銅箔に達する開口に充填バイアホールを有するとともに、その充填バイアホール上に半田めっきからなる半田バンプを形成し、さらに半田バンプを含んだ絶縁性基材の表面に接着剤層を有して形成され、本発明にかかる多層プリント配線板を作製する際に、上層に位置して積層される回路基板、またはマット面を有してなる銅箔とともに両面回路基板を形成する回路基板として採用されることが望ましい。

【0102】

次に、上記片面回路基板Aの下層に積層される他の片面回路基板Bを作製する。

（8） まず、上記（1）～（6）の工程と同様に処理した後（図5（A）～（G）参照）、絶縁性基材10の半田バンプ24形成面に、エッチング保護フィルム25を貼付け（図6（A））、銅箔12を所定の回路パターンマスクで被覆した後、エッチング処理を施して、導体回路（ビアランドを含む）28及びICチップ直下の放熱板として機能する導体層28aを形成する（図6（B））。

【0103】

この処理工程においては、まず、銅箔の表面に感光性ドライフィルムレジストを貼付した後、所定の回路パターンに沿って露光、現像処理してエッチングレジストを形成し、エッチングレジスト非形成部分の金属層をエッチングして、ビアランドを含んだ導体回路パターンを形成する。

このエッチング液としては、硫酸一過酸化水素、過硫酸塩、塩化第二銅、塩化第二鉄の水溶液から選ばれる少なくとも1種の水溶液が望ましい。

【0104】

上記銅箔をエッチングして導体回路28を形成する前処理として、ファインパターンを形成しやすくするため、あらかじめ、銅箔の表面全面をエッチングして厚さを1～10μm、より好ましくは2～8μm程度まで薄くすることができる。

導体回路の一部としてのビアランドは、その内径がバイアホール口径とほぼ同様であるが、その外径は、50～250μmの範囲に形成されることが好ましい。

【0105】

（9） 上記（8）で形成した導体回路の表面に対して、無電解めっき処理によってスズ等の薄膜層29を形成してもよい（図6（C））。

このような含スズめっき膜を形成するための無電解めっき浴は、ホウフッ化スズ－チオ尿素液または塩化スズ－チオ尿素液を使用し、そのめっき処理条件は、20℃～60℃程度

(18)

の温度において約1～5分とすることが望ましい。

このような無電解めっき処理によれば、銅パターンの表面にチオ尿素の金属錯体形成に基づく銅－スズ置換反応が起き、厚さ0.01～1μmのスズ薄膜層が形成される。

【0106】

なお、上記(7)の工程で形成した導体回路28の表面に対して必要に応じて粗化処理を施し、その粗化層上に上記(8)の工程で形成したスズ層を形成することもできる。

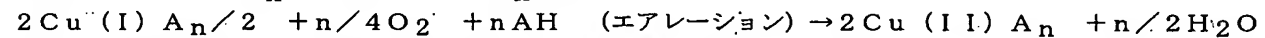
また、スズ層に代えて、亜鉛、ニッケル、リンから選ばれる少なくとも1種類からなる保護膜または金や白金等の貴金属からなる保護膜で被覆するのが望ましい。

上記粗化処理は、多層化する際に、接着剤層との密着性を改善し、剥離(デラミネーション)を防止するためである。

粗化処理方法としては、例えば、ソフトエッチング処理や、黒化(酸化)還元処理、銅－ニッケル－リンからなる針状合金めっき(荏原ユーザライト製:商品名インタープレート)の形成、メック社製の商品名「メックエッチボンド」なるエッチング液による表面粗化がある。

【0107】

上記粗化層の形成は、エッチング液を用いて形成されるのが好ましく、たとえば、導体回路の表面を第二銅錯体と有機酸の混合水溶液からエッチング液を用いてエッチング処理することによって形成することができる。かかるエッチング液は、スプレーやバブリングなどの酸素共存条件下で、銅導体回路パターンを溶解させることができ、反応は、次のように進行するものと推定される。



式中、Aは錯化剤(キレート剤として作用)、nは配位数を示す。

【0108】

上式に示されるように、発生した第一銅錯体は、酸の作用で溶解し、酸素と結合して第二銅錯体となって、再び銅の酸化に寄与する。本発明において使用される第二銅錯体は、アゾール類の第二銅錯体がよい。この有機酸－第二銅錯体からなるエッチング液は、アゾール類の第二銅錯体および有機酸(必要に応じてハロゲンイオン)を、水に溶解して調製することができる。

このようなエッチング液は、たとえば、イミダゾール銅(II)錯体 1.0重量部、グリコール酸 7重量部、塩化カリウム 5重量部を混合した水溶液から形成される。

また、粗化処理や被覆層を形成することなく、片面回路基板Bを作成してもよい。

【0109】

(10) 次いで、半田パンプを含んだ絶縁性基材10の表面から保護フィルム25を剥離させた後、その絶縁性基材の表面に樹脂接着剤32を塗布する(図6(D))。

このような樹脂接着剤は、例えば、絶縁性基材の半田パンプを含んだ表面全体または半田パンプを含まない表面に塗布され、乾燥化された状態の未硬化樹脂からなる接着剤層として形成される。この接着剤層は、取扱が容易になるため、プレキュアしておくことが好ましく、その厚さは、5～50μmの範囲が望ましい。

【0110】

前記接着剤層は、有機系接着剤からなることが望ましく、有機系接着剤としては、エポキシ樹脂、ポリイミド樹脂、熱硬化型ポリフェノレンエーテル(PPE)、エポキシ樹脂と熱可塑性樹脂との複合樹脂、エポキシ樹脂とシリコーン樹脂との複合樹脂、BTレジンから選ばれる少なくとも1種の樹脂であることが望ましい。

有機系接着剤である未硬化樹脂の塗布方法は、カーテンコート、スピンコート、ロールコート、スプレーコート、スクリーン印刷などを使用できる。また、接着剤層の形成は、接着剤シートをラミネートすることによってもできる。

【0111】

上記(8)～(10)の工程にしたがって作製された片面回路基板Bは、絶縁性基材10

(19)

の一方の表面に導体回路を有し、他方の表面には半田めっきからなる半田バンプ24を有し、さらに半田バンプ24を含んだ絶縁性基材の表面に他の絶縁性基材との接着用の接着剤層26、または、銅箔との接着用の接着剤層32を有して形成される。

【0112】

(11) 上記片面回路基板Aの導電性バンプ側の面を下方に向け、その面に対して片面回路基板Bを同一方向に積層すると共に、片面回路基板Bの半田バンプ24側の表面に対して、表面粗さが $1.0\mu\text{m}$ のマット面を有する厚さが $5\sim 18\mu\text{m}$ の銅箔30を、そのマット面を対向させた状態で積層し(図7(A))、加熱温度 $150\sim 200^\circ\text{C}$ 、加圧力 $1\sim 10\text{MPa}$ の条件のもとで、加熱プレスして、片面回路基板Aと片面回路基板Bとを一体化する(図7(B))。

【0113】

このとき、片面回路基板Aの開口10a内には、金属や樹脂フィルムなどをプレス板間に挟みこむ。それにより接着剤の流出を防止するためとプレス時の位置ズレと圧力に不均一になることを回避するために有効である。この場合、何も入れなくてもよいし、凸部を有する当て板を置くだけでもよい。

【0114】

このような加熱プレスは、より好ましくは、減圧下において行なわれ、未硬化状態の樹脂接着剤層26を硬化させることによって、片面回路基板Aと片面回路基板Bとが接着される。接着剤層32を硬化させることにより銅箔30を接着させる。

【0115】

(12) 上記(11)において一体化された回路基板の上層の銅箔12と下層の銅箔30を、エッチング処理することによって、多層プリント配線板の上層および下層に導体回路36および導体回路38(バイアホールランド、パッド36pを含む)を形成する(図7(C)参照)。

【0116】

この処理工程においては、まず、銅箔12および銅箔30の表面に感光性ドライフィルムレジストを貼付した後、所定の回路パターンに沿って露光、現像処理してエッチングレジストを形成し、エッチングレジスト非形成部分の金属層をエッチングして、バイアホールランドを含んだ導体回路36および導体回路38を形成する。

【0117】

(13) 次に、片面回路基板AおよびBの外側にソルダーレジスト層40をそれぞれ形成する(図8(A))。この場合、回路基板AおよびBの外表面全体にソルダーレジスト組成物を塗布し、その塗膜を乾燥した後、この塗膜に、開口部を描画したフォトリソマスクフィルムを載置して露光、現像処理することにより、導体回路およびバイアホール直上に位置する半田パッド部分を露出させた開口44をそれぞれ形成する。それ以外にもフィルムを貼り付けて、露光、現像処理もしくはレーザーで開口させてもよい。

【0118】

(14) 上記(13)の工程で得られたソルダーレジストの開口からバイアホール直上に露出した半田パッド(開口44)部分に、外部端子である導電性バンプ、導電性ボールあるいは導電性ピンを配設する前に、各半田パッド部に「ニッケル52-金54」からなる金属層を形成することが好ましい(図8(B))。

【0119】

このニッケル層52の厚みは $1\sim 7\mu\text{m}$ が望ましく、金層54の厚みは $0.01\sim 0.06\mu\text{m}$ が望ましい。この理由は、ニッケル層は、厚すぎると抵抗値の増大を招き、薄すぎると剥離しやすいからである。一方金層は、厚すぎるとコスト増になり、薄すぎると半田体との密着効果が低下するからである。スズもしくは貴金属層の単層を形成してもよい。

【0120】

(15) 上記半田パッド部上に設けたニッケル-金からなる金属層上に、半田体を供給し、この半田体の溶融・固化によって外部端子である導電性バンプを形成し、あるいは導電性ボールまたは導電性ピンを半田パッド部に接合して、多層回路基板を形成する(図1)

(20)

(A))。

【0121】

上記半田体の供給方法としては、半田転写法や印刷法を用いることができる。ここで、半田転写法は、プリプレグに半田箔を貼合し、この半田箔を開口部分に相当する箇所のみを残してエッチングすることにより、半田パターンを形成して半田キャリアフィルムとし、この半田キャリアフィルムを、基板のソルダーレジスト開口部分にフラックスを塗布した後、半田パターンがパッドに接触するように積層し、これを加熱して転写する方法である。

【0122】

一方、印刷法は、パッドに相当する箇所に開口を設けた印刷マスク（メタルマスク）を基板に載置し、半田ペーストを印刷して加熱処理する方法である。半田としては、スズ—銀、スズ—インジウム、スズ—亜鉛、スズ—ビスマス、スズ—アンチモンなどが使用できる。それらの融点は、導電性バンプの融点よりも低いことが望ましい。

【0123】

すなわち、ソルダーレジスト層の開口から露出するそれぞれの半田パッド上に適切な半田体を供給して導電性バンプを形成したり、導電性ボールまたは導電性のTピンを接続するように構成する。

【0124】

なお、導電性ボール56やTピンを接続する半田材料としては、導電性バンプの融点よりも融点の高いスズ／アンチモン半田、スズ／銀半田、スズ／銀／銅半田などを用いることが好ましい。

【0125】

上記（1）～（15）の工程に従う実施形態によれば、多層プリント配線板60は、片面回路基板Aと片面回路基板Bとを同一方向に積層すると共に、片面回路基板Bの半田バンプ側の表面に対して、マット面が対向するように銅箔30を対向配置させた状態で、加熱プレスすることによって、片面回路基板同士を接着すると共に銅箔30を片面回路基板Bに圧着して多層化した後、片面回路基板Aの銅箔12と片面回路基板B2に圧着された銅箔30とをエッチング処理して、それぞれ導体回路36および38を形成した。このような実施形態の他に、以下の▲1▼改変例1、▲2▼改変例2に記載したような製造工程を採用することもできる。

【0126】

▲1▼ 改変例1

片面回路基板Bの半田バンプ24側の表面にマット面を有する銅箔30を対向配置させた状態で（図9（A））、真空加熱プレスにより銅箔30を片面回路基板Bに圧着する（図9（B））。その後、エッチング保護フィルムを貼付した状態で、エッチング処理を施して、銅箔を選択的にエッチングして所定パターンを有する導体回路38を形成し、両面回路基板Bを形成する（図9（C））。

その後、片面回路基板Aの半田バンプ24側の面に対して、回路基板Bの導体回路28側の面を対向配置させた状態で（図9（D））、真空加熱プレスすることによって多層化する（図9（E））。その後、片面回路基板Aの銅箔をエッチングして導体回路を形成する（図7（C）参照）。

【0127】

▲2▼ 改変例2

図4（C）に示す片面回路基板Aの銅箔12をエッチングして導体回路36を形成し（図10（A））、基板10にルーターやパンチング等により開口10aを穿設する（図10（B））。その後、片面回路基板Aに対して、図9（C）の工程で導体回路38を形成した両面回路基板Bを対向配置した状態で（図10（C））、真空加熱プレスすることによって多層化する（図10（D））。

【0128】

上述した実施形態では、2枚の片面回路基板を積層一体化して、2層に多層化した但、3

(21)

層以上でも片面回路基板の数を増やすことで必要に応じた多層化が可能である。

【0129】

【実施例】

(実施例1)

(1) まず、多層プリント配線板を構成する片面回路基板を製作する。この回路基板は、エポキシ樹脂をガラスクロスに含浸させてBステージとしたプリプレグと、銅箔とを積層して加熱プレスすることにより得られる片面銅張積層板を出発材料として用いる。

【0130】

この絶縁性基材の厚さは $75\mu\text{m}$ 、銅箔の厚さは $17.5\mu\text{m}$ であり、この積層板の銅箔形成面と反対側の表面に、厚みが $12\mu\text{m}$ の粘着剤層を有し、かつフィルム自体の厚みが $12\mu\text{m}$ であるようなPETフィルムをラミネートする。

【0131】

(2) ついで、PETフィルム上から炭酸ガスレーザ照射を行って、PETフィルムおよび絶縁性基材を貫通して銅箔に至るバイアホール形成用開口を形成し、さらにその開口内を酸素プラズマ放電によってデスマ処理や酸、酸化材、アルカリなどの薬液により浸漬してデスマ処理を行ってもよい。デスマ処理により、基材の平滑化と銅箔である導体部分の樹脂残渣を除去することができる。それにより、その後の導電性充填剤を充填しても、接続性と信頼性の確保がなされる。該樹脂残渣が、その原因となるが除去されているために、問題がなく発生しない。

【0132】

この実施例においては、バイアホール形成用の開口の形成には、三菱電機製の高ピーク短パルス発振型炭酸ガスレーザ加工機を使用し、全体として厚さ $22\mu\text{m}$ のPETフィルムを樹脂面にラミネートした、基材厚 $60\mu\text{m}$ のガラス布エポキシ樹脂基材に、マスクイメージ法でPETフィルム側からレーザビーム照射して 100 穴/秒のスピードで、 $150\mu\text{m}$ φのバイアホール形成用の開口を形成した。

【0133】

(3) デスマ処理を終えた絶縁性基材の銅箔貼付面にPETフィルムを貼り付け、以下のような条件で、銅箔をめっきリードとする電解銅めっき処理を施して、開口内に電解銅めっきを充填してバイアホールを形成した。電解銅めっきは開口の上部にわずかに露出し際には、サンダーベルト研磨およびバフ研磨によって露出部分を除去して平坦化してもよい。

〔電解銅めっき水溶液〕

硫酸 : 175 g/l

硫酸銅 : 78 g/l

添加剤 (アテックジャパン製、商品名: カパラシドGL) : 0.98 ml/l

〔電解めっき条件〕

電流密度 : 1.9 A/dm^2

時間 : 30 分

温度 : $25\text{ }^\circ\text{C}$

【0134】

(4) さらに、以下のような条件で、電解半田めっき処理を施して、開口に充填された銅めっき層上に半田めっき層を形成して、絶縁性基材の表面から $3\sim 10\mu\text{m}$ 突出する半田バンプを形成する。

〔電解半田めっき溶液〕

金属組成比: $\text{Sn/Cu} = 99.9/0.1 \sim 70/30$ の範囲で形成させた。

添加剤 : 5 ml/l

(電解半田めっき条件)

温度 : $21\text{ }^\circ\text{C}$

電流密度 g : 0.41 A/dm^2

その具体的な事例として、 $\text{Sn/Cu} = 99.3/0.7$ (融点 $227\text{ }^\circ\text{C}$)、 Sn/Cu

(22)

=95/5 (融点310)

この場合、形成された半田バンプの比率が $Sn/Cu=99.9/0.1\sim90/10$ の比率のものを最適例とし、 $Sn/Cu>90/10$ となるものを適用例とした。

【0135】

(5) 次に、上記(3)で絶縁性基材に貼付したPETフィルムを剥離させた後、絶縁性基材の半田バンプ側の全面にエポキシ樹脂接着剤を塗布し、プレキュアして、多層化のための接着剤層を形成した。

【0136】

(6) ルーター、パンチング、レーザ等により(5)の工程で形成された絶縁性基材に開口を形成させる。その開口する面積は15~70%の間で形成させた。本実施例では、36.5%で形成させた。

上記(1)~(6)にしたがって作製した片面回路基板Aは、多層化の際に、上層に配置されるべき回路基板であり、開口内にはICチップが実装される領域になる。

【0137】

(7) 上記(1)~(4)の工程と同様の処理をした後、絶縁性基材の銅箔貼付面からPETフィルムを剥離させ、絶縁性基材の半田バンプ側の表面にエッチング保護フィルムを貼付した状態で、銅箔に適切なエッチング処理を施し、所定パターンを有する導体回路を形成した。

【0138】

上記(7)で得た導体回路の表面に、無電解めっき浴として、ハウフ化スズ-チオ尿素液を用い、45℃前後で約5分のめっき条件にて、無電解めっき処理を施して、厚さ0.1μmのスズ薄膜層を形成してもよい。

【0139】

(8) 上記(6)で絶縁性基材に貼付したエッチング保護フィルムを剥離させた後、絶縁性基材の半田バンプ側の全面にエポキシ樹脂接着剤を塗布し、プレキュアして、各回路基板を接着して多層化するための接着剤層を形成した。

【0140】

上記(6)~(8)の工程にしたがって作製される片面回路基板Aは、片面回路基板Bとの組み合わせで多層化される基板である。

【0141】

(9) マット面を有する銅箔30が圧着される片面回路基板Bとして、上記(1)~(5)、(7)の工程と同様の処理をした後、上記(8)のような接着剤に代えて、マット面を有する銅箔30を絶縁性基材10上に効果的に接着するためのエポキシ樹脂接着剤が塗布され、100℃で30分間の乾燥を行って厚さ20μmの樹脂接着剤層が形成された。

【0142】

(10) 上記(1)~(8)にしたがって作製した片面回路基板Aと、上記(9)に従って作製した片面回路基板Bとを、同一方向に積層した後、片面回路基板Bの半田バンプ側の面に対して、片面がマット処理されて、その表面粗度が1.0μmであり、厚さが12μmの銅箔を、そのマット面を対向させた状態で、加熱温度200℃、加熱時間10分、圧力2MPa、真空度 2.5×10^3 Paの条件のもとで、加熱プレスすることによって、各片面回路基板A、B間を接着すると共に、銅箔を片面回路基板に接着して多層化した。

【0143】

(11) その後、多層化された基板の片面回路基板Aおよび片面回路基板B上の銅箔に、適切なエッチング処理により導体回路および(ビアランドを含む)を形成した。

【0144】

(12) 上記(1)~(11)の工程にしたがって作製した多層化基板の表面に、ソルダーレジスト層を形成する前に、必要に応じて、銅-ニッケル-リンからなる粗化層やエッチングによる粗面を設けてもよい。

(23)

【0145】

(13) 一方、DMDGに溶解させた60重量%のクレゾールノボラック型エポキシ樹脂（日本化薬製）のエポキシ基50%をアクリル化した感光性付与のオリゴマー（分子量4000）を46.67重量部、メチルエチルケトンに溶解させた80重量%のビスフェノールA型エポキシ樹脂（油化シェル製、エピコート1001）14.121重量部、イミダゾール硬化剤（四国化成製、2E4MZ-CN）1.6重量部、感光性モノマーである多価アクリルモノマー（日本化薬製、R604）1.5重量部、同じく多価アクリルモノマー（共栄社化学製、DPE6A）30重量部、アクリル酸エステル重合体からなるレベリング剤（共栄社製、ポリフローNo. 75）0.36重量部を混合し、この混合物に対して光開始剤としてのベンゾフェノン（関東化学製）20重量部、光増感剤としてのEAB（保土ヶ谷化学製）0.2重量部を加え、さらにDMDG（ジエチレングリコールジメチルエーテル）10重量部を加えて、粘度を25℃で $1.4 \pm 0.3 \text{ Pa} \cdot \text{s}$ に調整したソルダーレジスト組成物を得た。

なお、粘度測定は、B型粘度計（東京計器、DVL-B型）で60rpmの場合はローターNo. 4、6rpmの場合はローターNo. 3によった。

【0146】

(14) 上記(11)で得られた多層化基板の回路基板の表面に、前記(13)で得られたソルダーレジスト組成物を20 μm の厚さで塗布した。

次いで、70℃で20分間、100℃で30分間の乾燥処理を行った後、クロム層によってソルダーレジスト開口部の円パターン（マスクパターン）が描画された厚さ5mmのソーダライムガラス基板を、クロム層が形成された側をソルダーレジスト層に密着させて1000mJ/cm²の紫外線で露光し、DMTG現像処理した。さらに、80℃で1時間、100℃で1時間、120℃で1時間、150℃で3時間の条件で加熱処理し、パッド部分に対応した開口を有する（開口径200 μm ）ソルダーレジスト層（厚み20 μm ）を形成した。

【0147】

(15) 次に、ソルダーレジスト層を形成した基板を、塩化ニッケル30g/l、次亜リン酸ナトリウム10g/l、クエン酸ナトリウム10g/lからなるpH=5の無電解ニッケルめっき液に20分間浸漬して、開口部に厚さ5 μm のニッケルめっき層を形成した。

【0148】

さらに、その基板を、シアン化金カリウム2g/l、塩化アンモニウム75g/l、クエン酸ナトリウム50g/l、次亜リン酸ナトリウム10g/lからなる無電解金めっき液に93℃の条件で23秒間浸漬して、ニッケルめっき層上に厚さ0.03 μm の金めっき層を形成し、ニッケルめっき層と金めっき層とからなる被覆金属層を形成した。場合によっては、スズもしくは貴金属層の単層を形成してもよい。

【0149】

(16) そして、上層の片面回路基板Aを覆うソルダーレジスト層の開口から露出する半田パッドに対して、融点が約190℃のスズ/銀半田からなる半田ペーストを印刷して183℃でリフローすることにより、両面に半田ボールを接続させて、多層プリント配線板を製作した。

【0150】

【実施例2】

実施例2の多層プリント配線板は、上記第1実施例と同様な構成（バイアホール18を上下の片面基板でずらしてあり、BGA56を直下から外してある）であるが、導電性バンプをSn/Zn（97：3）で形成した。

【0151】

【実施例3】

実施例3の多層プリント配線板は、上記第1実施例と同様な構成であるが、導電性バンプをSn/Sb（95：5）で構成した。

(24)

【0152】

〔実施例4〕

実施例4の多層プリント配線板は、上記第1実施例と同様な構成であるが、導電性バンプをSn/Pb(97:3)で構成した。

【0153】

〔実施例5〕

実施例5の多層プリント配線板は、上記第1実施例と同様な構成であるが、導電性バンプをSn/Ag(95:5)で構成した。

【0154】

〔実施例1改1〕

実施例1の改1の多層プリント配線板は、導電性バンプをSn/Su(97:3)で構成した。但し、上記第1実施例の構成と異なり、図14(A)に示すように、表面の外部端子56の直下に裏面の外部端子56を配置した。

【0155】

〔実施例1改2〕

実施例1の改1の多層プリント配線板は、導電性バンプをSn/Su(97:3)で構成した。但し、上記第1実施例の構成と異なり、図14(B)に示すように、下面の片面回路基板のビアホール18を直上に上面の片面回路基板のビアホール18を配置した。

【0156】

〔実施例1改3〕

実施例1の改1の多層プリント配線板は、導電性バンプをSn/Su(97:3)で構成した。但し、上記第1実施例の構成と異なり、図14(C)に示すように、表面の外部端子56の直下に裏面の外部端子56を配置し、下面の片面回路基板のビアホール18を直上に上面の片面回路基板のビアホール18を配置した。

【0157】

〔比較例1〕

図15(A)に示すように、特開平10-13028に記載された製造方法により片面回路基板にて多層プリント配線板を構成した。図15(B)は、図15(A)に示す多層プリント配線板をドータボード90に取り付けた状態を示している。図15(C)は、スタック状に、ICチップ70A、70Bを載置した状態を示している。ここでは、導電性ペーストで非貫通孔を充填してビアホール118を構成し、導電性バンプを用いることなく片面回路基板を積層した。ビアホール118は、スタック状に配置した。ビアホールと接続する導体回路を延長したランド136を形成し、ICチップ70のワイヤー用のパッドからワイヤー72でランド136と接続した。

【0158】

〔比較例2〕

比較例2の多層プリント配線板は、上記比較例1と同様な構成であるが、導電性ペーストの代わりに、めっきにより非貫通孔を充填させた。

【0159】

〔比較試験〕

実施例では、基板の上面にICチップが実装されたPKG基板を接続し、基板の下面には、コンデンサなどの電子部品しか実装されていないサブトラ方式で作成された多層基板に接続させた。

比較例では、基板の上面には、スタック状に多層化させたICチップを実装し、BGAを配置した側では、コンデンサなどの電子部品しか実装されていないサブトラ方式で作成された多層基板(ドータボード90)に接続させた。

それぞれ、実施例及び比較例で作成した5ピースを実装前のICチップの検査の有無、リペアーの可否(ICチップの取り替えの有無)、信頼性試験を行った導通検査(ヒートサイクル条件下 135℃/3分台-65℃/3分を1サイクルで500サイクル、1000サイクル、2000サイクル、3000サイクル行った)の結果を、図16中に示す。

(25)

従来のもの（比較例）に比べて、電気接続性及信頼性が確保されていることが確認された。

また、実施例1での比較において、スタック構造（ビアホールの直上にビアホールを配置）にせず、且つ、外部端子が反対面の外部端子の直下から外れている構成が、電気接続性及び信頼性が最も優れていることが確認された。それに対して、スタック構造で、外部端子が同一位置にあるものは、劣化するのが早かった。やはり、発生した応力が緩和され難い構造であることが示された。

さらに、導電性バンプに、Cu、Zn、Sbが配合されているものは、他の導電性金属に比べて、信頼性に優れていることが確認された。

【0160】

【発明の効果】

以上のように、本発明によれば、多層プリント配線板の両面から外部端子を接続するパッドを有していることから、その両面に別のプリント配線板などを接続することが可能となる。それにより、配線の引き出す自由度が増し、さらにICチップの多層化、積層でき得る構造となる。

また、導電性バンプを用いることで信頼性を向上させることができる。Cu、Zn、Sbが配合されていることが更に信頼性を改善できる。

更に、ビアホールをスタック構造にしないことや、両面に外部端子を設けた際、外部端子の直下に反対面の外部端子を設けないことで信頼性を向上させることができる。

【図面の簡単な説明】

【図1】図1（A）は、本発明の第1実施形態に係る多層プリント配線板の構成を示す断面図であり、（B）は該多層プリント配線板にICチップを実装した状態を示す断面図である。

【図2】図1（B）に示す多層プリント配線板にICモジュールを搭載した状態を示す断面図である。

【図3】図1に示す多層プリント配線板を構成する片面回路基板の製造工程図である。

【図4】図1に示す多層プリント配線板を構成する片面回路基板の製造工程図である。

【図5】図1に示す多層プリント配線板を構成する片面回路基板の製造工程図である。

【図6】図1に示す多層プリント配線板を構成する片面回路基板の製造工程図である。

【図7】図1に示す多層プリント配線板の製造工程図である。

【図8】図1に示す多層プリント配線板の製造工程図である。

【図9】第1実施形態の第1改変例に係る多層プリント配線板の製造工程図である。

【図10】第1実施形態の第2改変例に係る多層プリント配線板の製造工程図である。

【図11】（A）は、第1実施形態の改変例に係る多層プリント配線板の断面図であり、（B）は、平面図である。

【図12】第1実施形態の改変例に係る多層プリント配線板の断面図である。

【図13】（A1）、（B1）、（C1）は、図2中の外部端子を拡大して示し、（A2）、（B2）、（C2）は、（A1）、（B1）、（C1）中の外部端子の斜視図である。

【図14】（A）は第1実施例の改変例1のビアホールを示す断面図であり、（B）は第1実施例の改変例2のビアホールを示す断面図であり、（C）は第1実施例の改変例3のビアホールを示す断面図である。

【図15】（A）、（B）、（C）は、従来技術の多層プリント配線板の説明図である。

【図16】実施例と比較例とで導通試験の結果を比較した図表である。

【符号の説明】

10 絶縁性基材

12 銅箔

16 開口

17 銅めっき

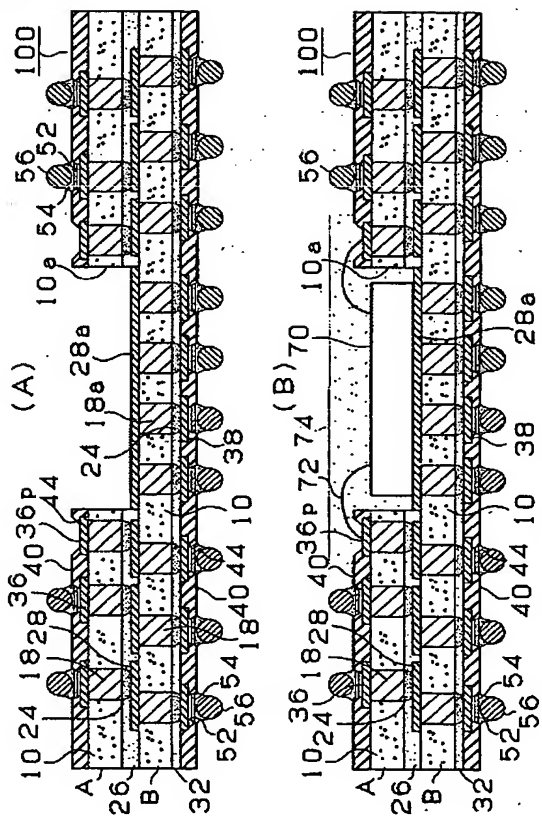
18 バイアホール

24 半田バンプ

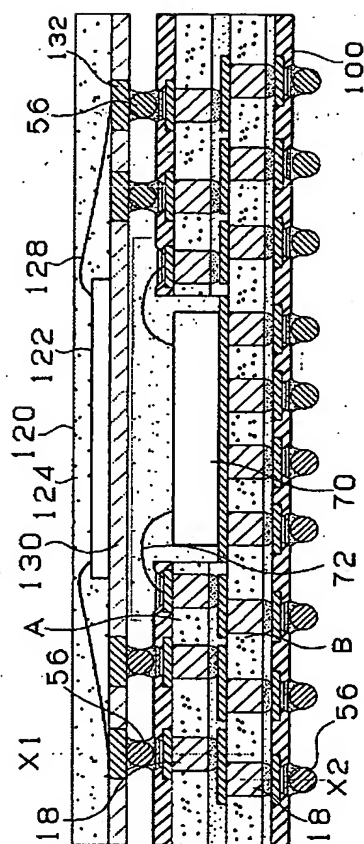
(26)

- 26 接着剤層
- 28 導体回路
- 29 スズ薄膜層
- 30 銅箔
- 32 接着剤層
- 36、38 導体回路
- 40、42 ソルダレジスト層
- 44、46 開口
- 52 ニッケル層
- 54 金層
- 56 BGA
- A 片面回路基板
- B 片面回路基板

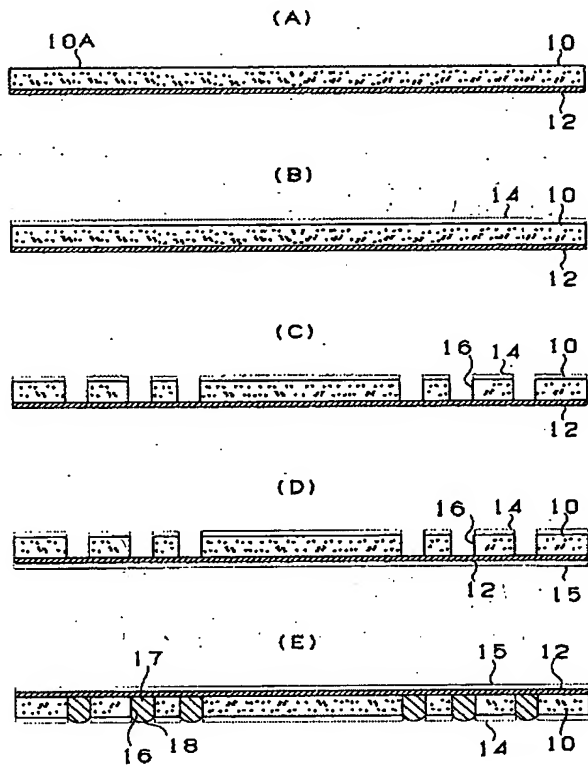
【図1】



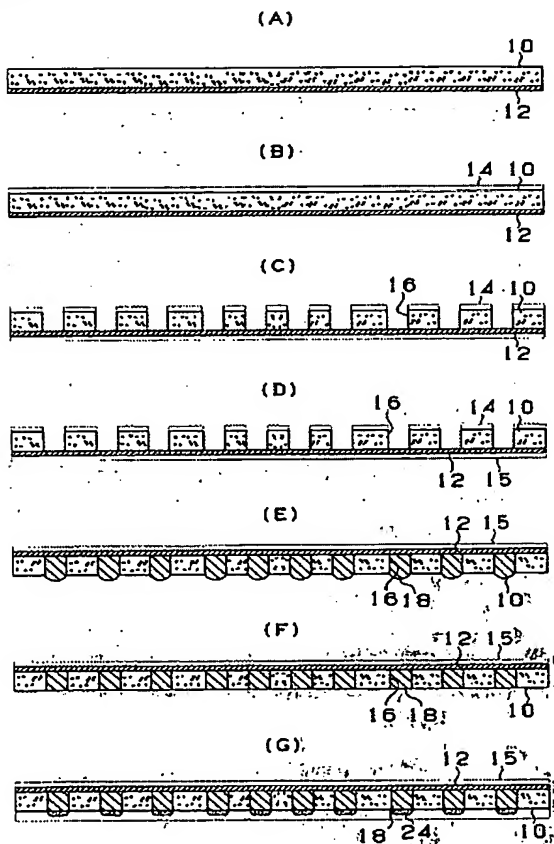
【図2】



【図 3】

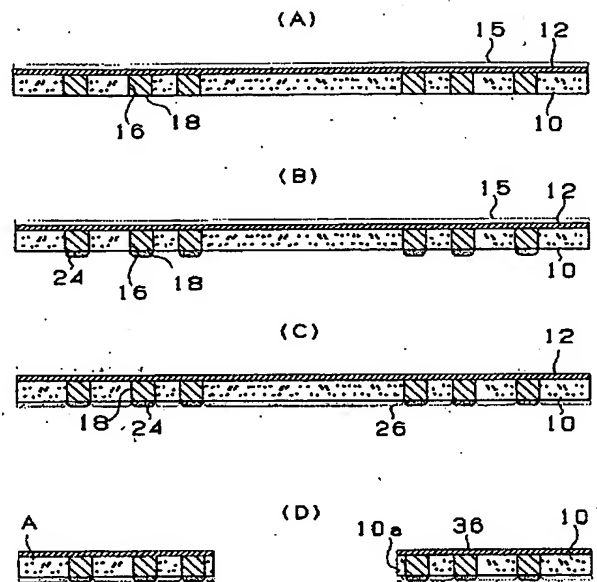


【図 5】

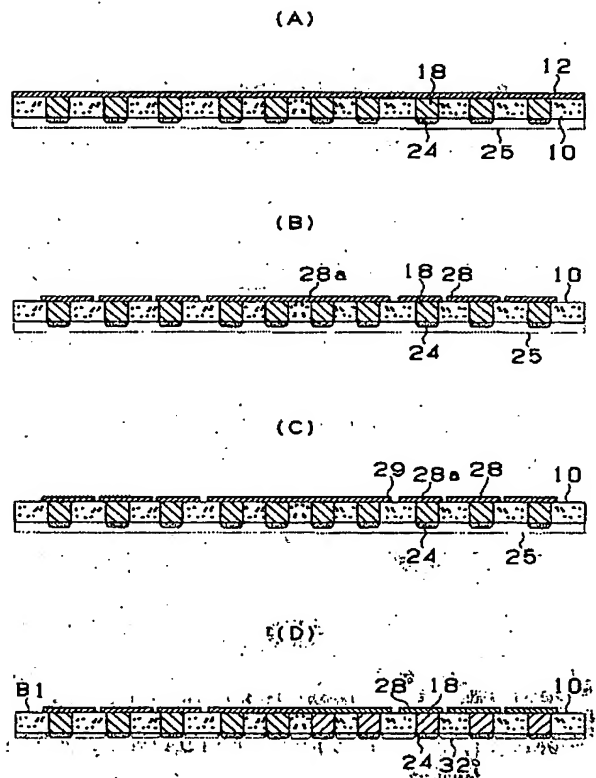


(27)

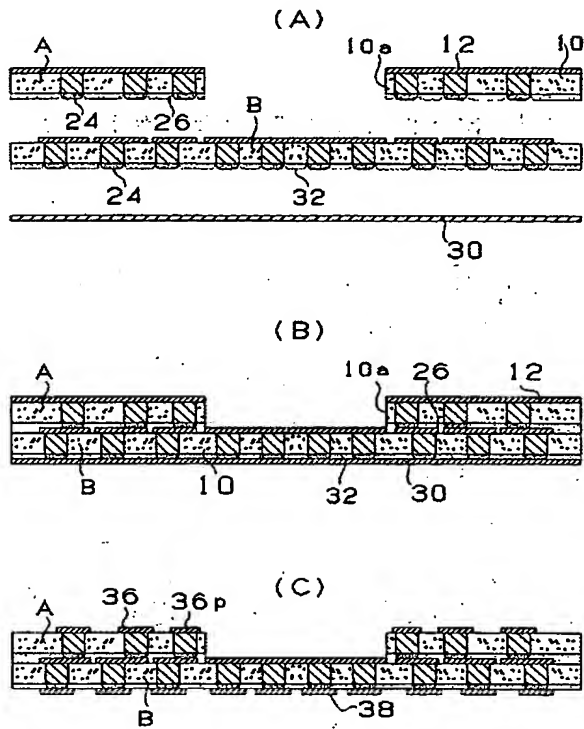
【図 4】



【図 6】

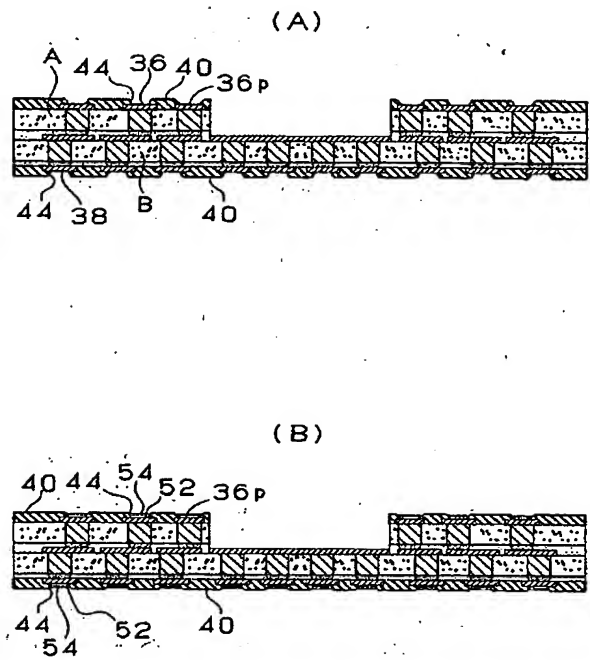


【図7】

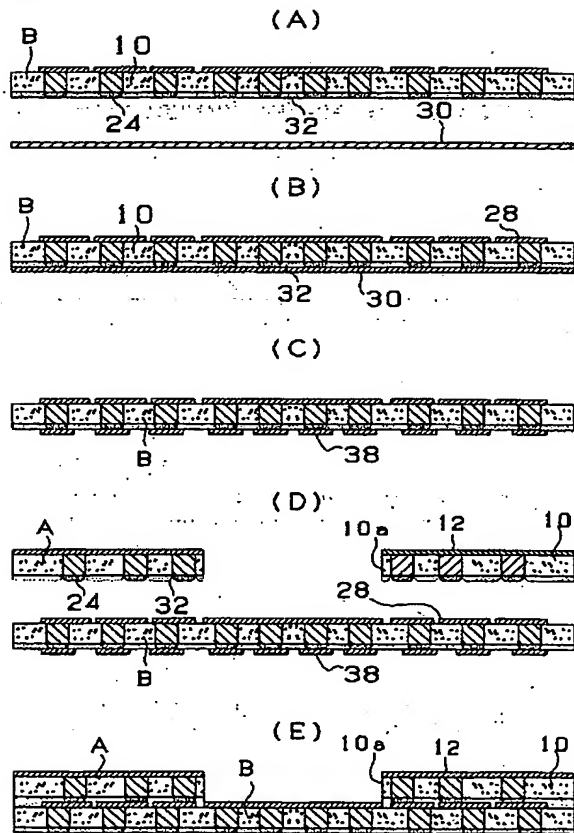


(28)

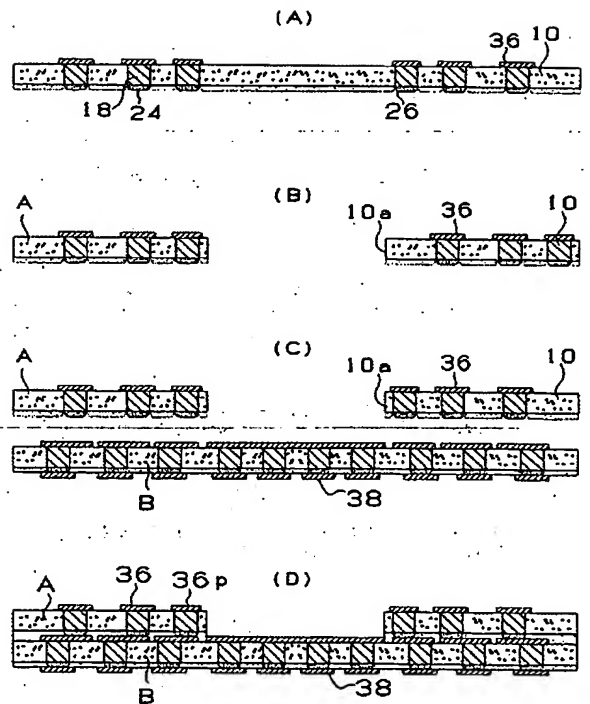
【図8】



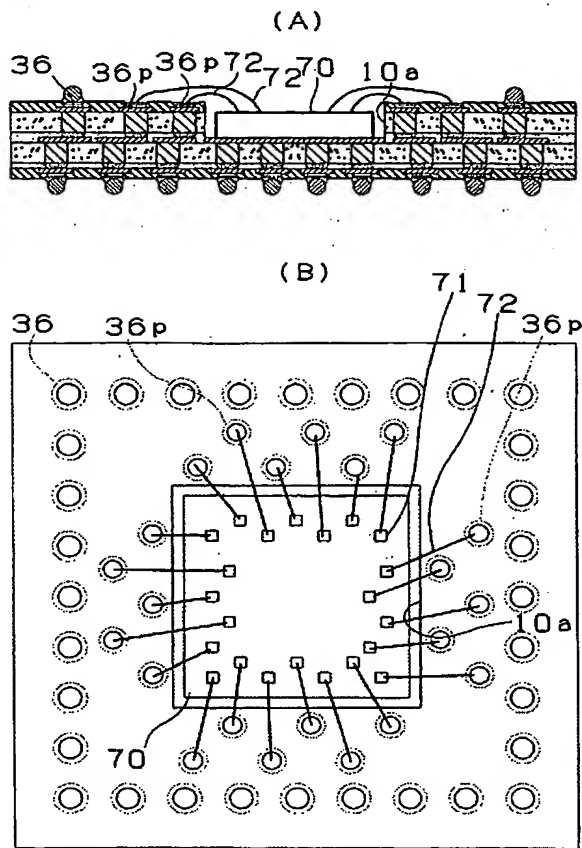
【図9】



【図10】

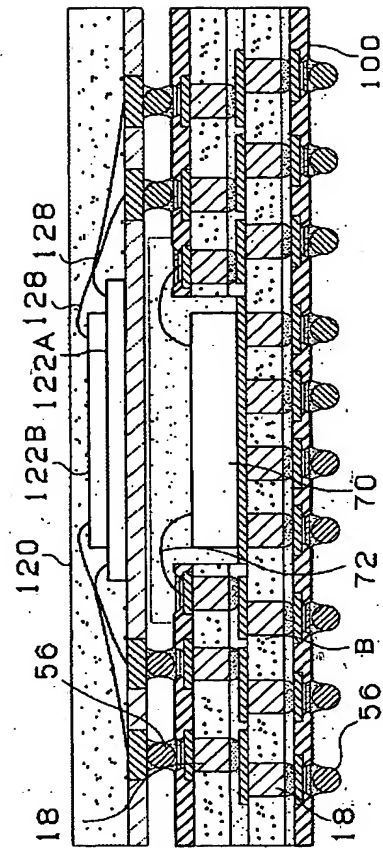


【図11】

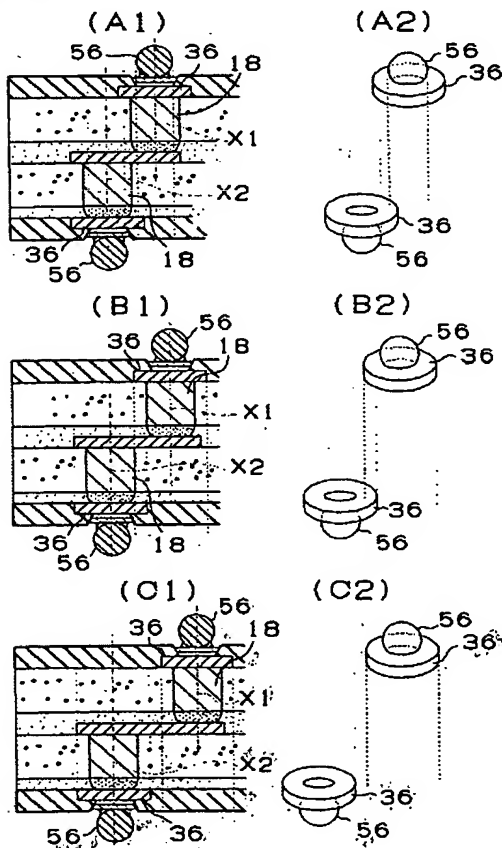


(29)

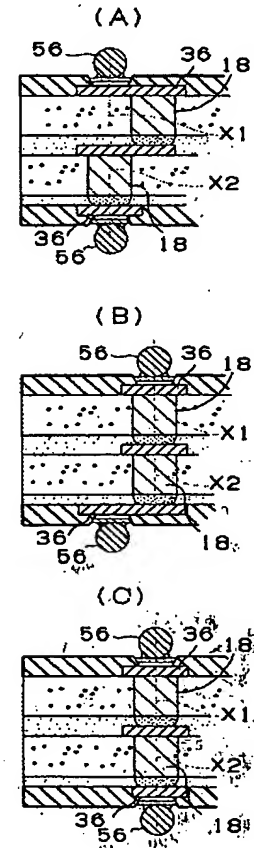
【図12】



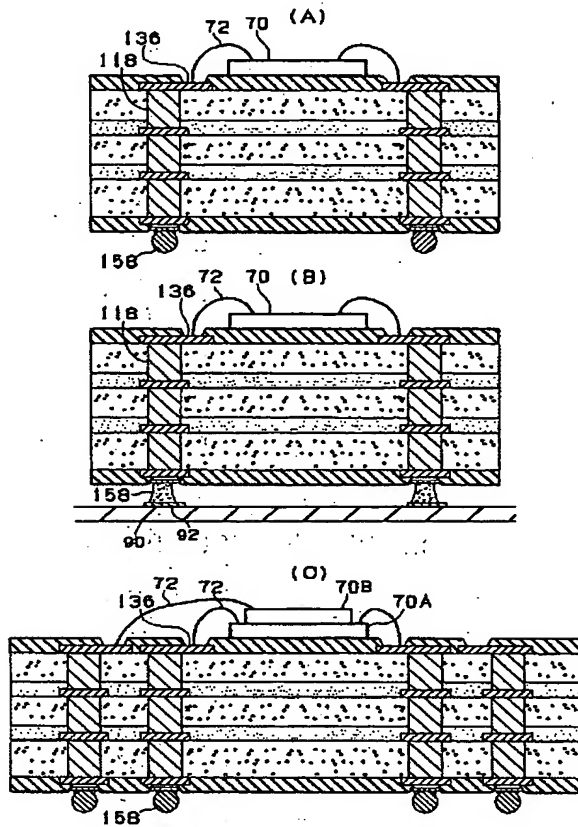
【図13】



【図14】



【図15】



(30)

【図16】

分類	検査の可否	リペアーの可否	500 Cycle	1000 Cycle	2000 Cycle	3000 Cycle
実施例1	可	可	○	○	○	○
実施例2	可	可	○	○	○	○
実施例3	可	可	○	○	○	○
実施例4	可	可	○	○	○	△
実施例5	可	可	○	○	○	△
実施例1改1	可	可	○	○	○	△
実施例1改2	可	可	○	○	○	△
実施例1改3	可	可	○	○	△	▲
比較例1	—	否	○	△	×	×
比較例2	—	否	○	△	▲	×

○：全ピース導通試験問題なし
 △：1-2ピースで短絡発生
 ▲：3-4ピースで短絡発生
 ×：全ピースで短絡発生

フロントページの続き

Fターム(参考) 5E346 AA05 AA06 AA12 AA15 AA43 AA60 BB01 BB11 BB16 CC02
CC08 CC32 DD02 DD11 EE02 EE06 EE07 FF04 FF24 FF35
FF36 FF45 GG15 GG17 GG28 HH07 HH31

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.